FMC 4 通道高速 AD 模块
FL9613 用户手册

Rev 1.0

ALINX

公司网址:
Http://www.alinx.com.cn

技术论坛:
http://www.heijin.org

官方旗舰店:
http://alinx.jd.com

邮箱:
avic@alinx.com.cn

电话:
021-67676997

传真:
021-37737073

ALINX 微信公众号:

文档修订记录:

版本	时间	描述
1.0	2021/11/30	First Release

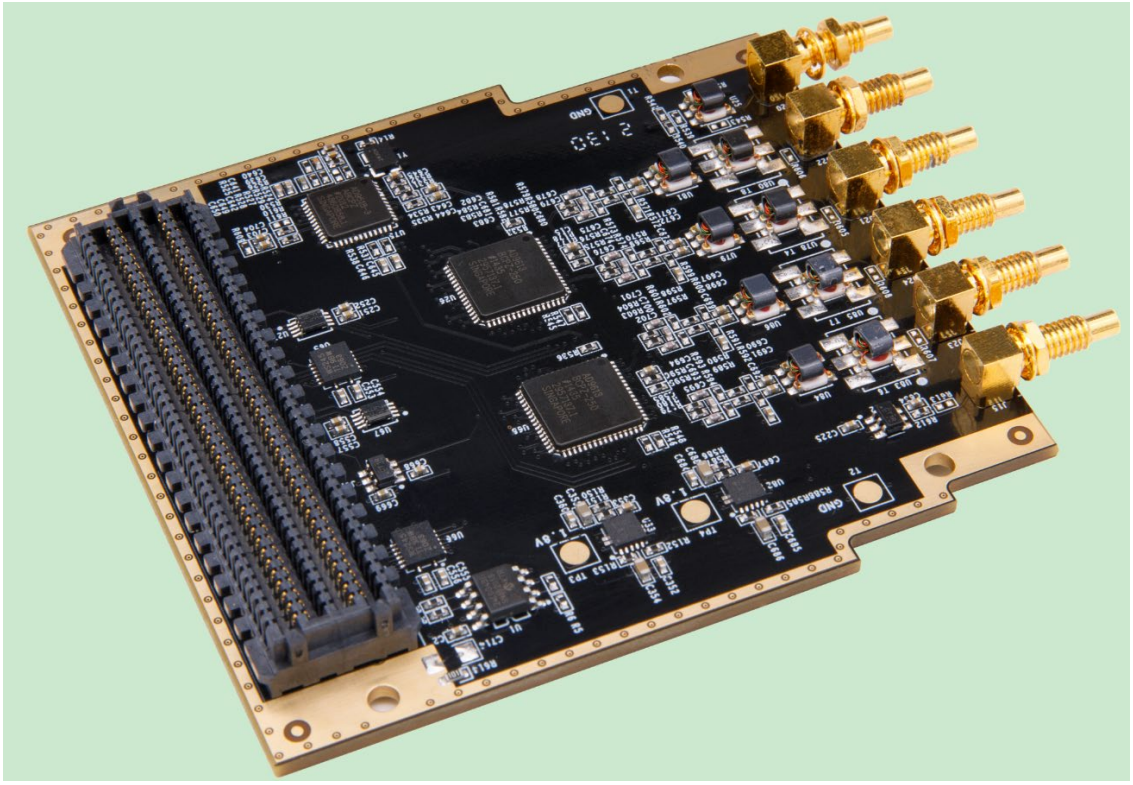
第一部分 FMC 高速 AD 模块说明介绍

黑金 FMC 高速 AD 模块 FL9613 为 4 路 250MSPS， 12 位的模拟转数字模块。FMC 模块的 AD 转换采用了 2 片 ADI 公司的 AD9613 芯片，每个 AD9613 芯片支持 2 路 AD 输入，所以 2 片 AD9613 芯片一共支持 4 路的 AD 输入。模拟信号输入的电压范围为 1.7V P-P，接口为 SSMC。

FL9613 支持外部触发信号输入，也是 SSMC 接口；时钟模式支持内部参考时钟输入，外部参考时钟输入，时钟选择可通过 SPI 总线配置

FL9613 的电气和机械设计依据 FMC 标准(ANSI/VITA 57.1)，为标准的 LPC 的 FMC 接口，用于连接 FPGA 开发板， FMC 的连接器型号为：ASP_134604_01

FL9613 模块实物照片如下：



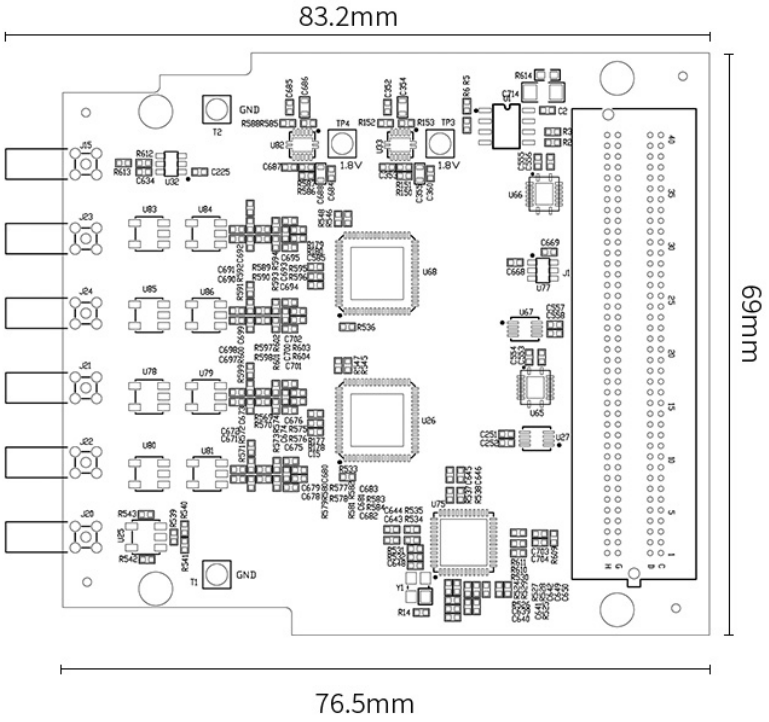
FL9613 模块实物图

1.1 FL9613 模块的参数说明

以下为 FL9613 高速 AD 模块的详细参数:

- AD 转换芯片：2 片 AD9613
- AD 转换通道：4 路;
- AD 采样速率： 250MSPS;
- AD 采样数据位数： 12 位;
- AD 模拟信号输入范围：1.7V P-P;
- AD 输入阻抗：50 欧姆;
- 模拟信号输入接口：SSMC 接口;
- 外部时钟输入：1 路;
- 外部触发信号输入：1 路
- 数字接口电平标准：LVDS 电平
- 配置接口：SPI 接口;
- 工作温度：-40°~85°;

1.2 FL9613 模块的结构图



FL9613 高速 AD 模块尺寸结构图

1.3 安装和使用要求

FL9613 模块必须配合带 FMC 接口的开发板使用， 开发板的 FMC 必须符合 FMC 标准（ANSI/VITA57.1）。开发板通过 FMC 连接器为模块提供直流 3.3V，直流 12V，直流 VADJ 三种电源。模块允许的 VADJ 的电压范围为 1.65V~3.3V, 考虑 FPGA 开发板的 LVDS 数据通信，一般建议 VADJ 的运行电压为+2.5V 或者 1.8V。

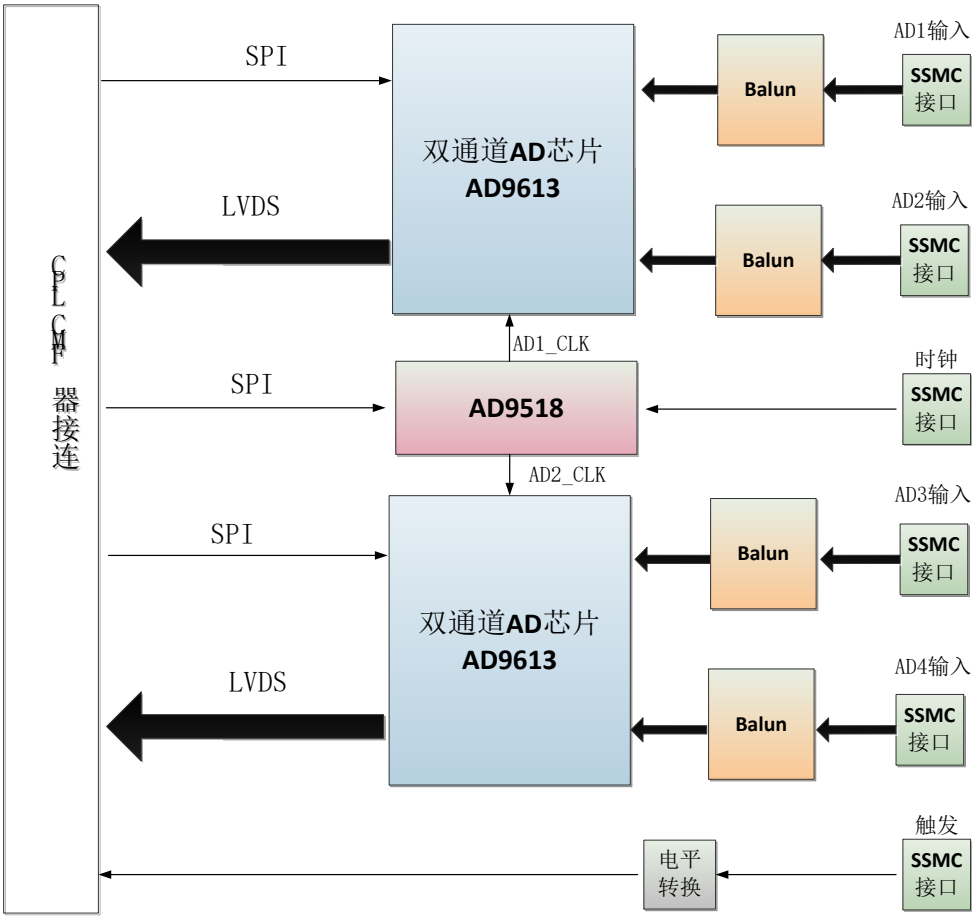
板卡安装时，操作人员注意做好精度防护，在无静电防护情况下，请不要直接接触板卡元器件。

FL9613 模块输出数据为 LVDS 信号,板卡的控制信号和触发信号为 LVCMOS 信号，电压标准取决于 VADJ 的电源电压。

第二部分 模块功能说明

2.1 FL9613 模块原理框图

FL9613 模块的原理设计框图如下：

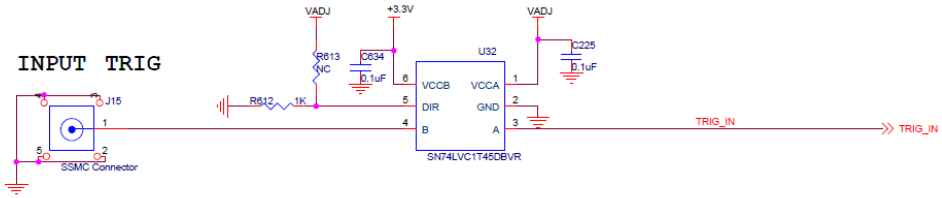


关于 AD9613 的电路具体参考设计请参考 AD9213 的芯片手册。

2.2 输入接口描述

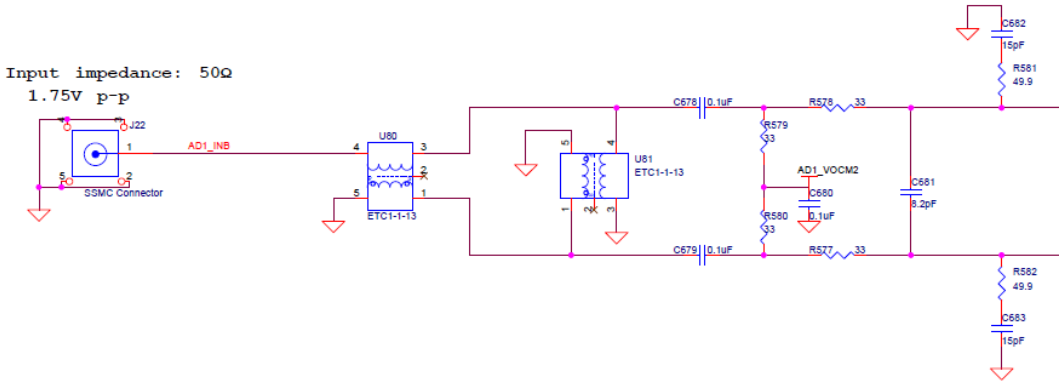
2.2.1 外部触发输入接口

外部触发输入支持 LVTTL/LVCMOS 3.3V 电平输入方式，通过板上的电平转换芯片转换成 VADJ 的电平后，连接到 FMC 连接器管脚上。



2.2.2 AD 输入接口

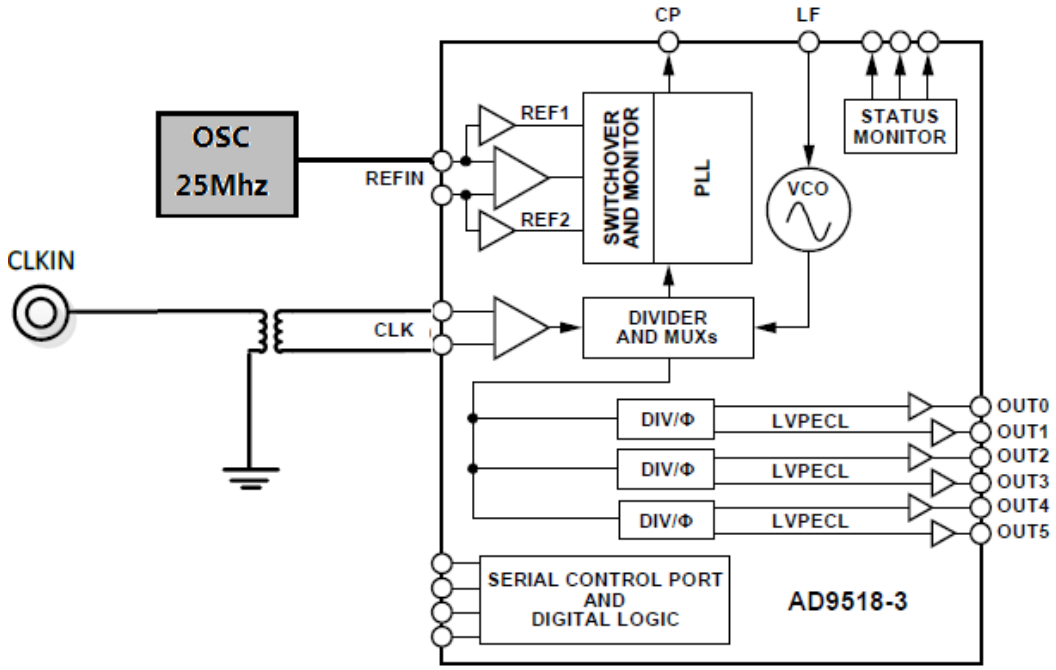
FL9613 设计输入为交流耦合方式，最高输入信号可达 300Mhz，输入阻抗为 50 欧姆，模拟信号的范围为 1.7Vp-p。



2.2.3 时钟输入

板上时钟产生模块选用 ADI 公司的 AD9518-3 芯片，设计使用内部 VCO，VCO 的频率范围为 1.75G~2.25G；内部时钟和外部参考时钟通过程序来切换；时钟模块配置通过连接到 FMC 的 SPI 总线实现。

内部参考时钟默认焊接 25M 晶振，连到 AD9518 的 REF1 脚；外参考时钟通过变压器转换成差分连到 CLK+-脚。



2.3 FMC 接口描述

FL9613 模块的 FMC 接口为标准的 LPC，下面只列了 FMC 接口上电源和 AD 芯片接口的信号定义，GND 的信号没有列出，具体用户可以参考原理图。

Pin Number	Signal Name	Description
C35	+12V	12V 电源输入
C37	+12V	12V 电源输入
D32	+3.3V	3.3V 电源输入
G7	AD1_DCO-	AD1 通道 LVDS 的数据时钟输出-N.
G6	AD1_DCO+	AD1 通道 LVDS 的数据时钟输出-P.
H8	AD1_D0-	AD1 通道 LVDS 的数据 0 输出-N.
H7	AD1_D0+	AD1 通道 LVDS 的数据 0 输出-P.
C11	AD1_D1-	AD1 通道 LVDS 的数据 1 输出-N.
C10	AD1_D1+	AD1 通道 LVDS 的数据 1 输出-P.
D12	AD1_D2-	AD1 通道 LVDS 的数据 2 输出-N.
D11	AD1_D2+	AD1 通道 LVDS 的数据 2 输出-P.
H11	AD1_D3-	AD1 通道 LVDS 的数据 3 输出-N.
H10	AD1_D3+	AD1 通道 LVDS 的数据 3 输出-P.
C15	AD1_D4-	AD1 通道 LVDS 的数据 4 输出-N.
C14	AD1_D4+	AD1 通道 LVDS 的数据 4 输出-P.
G13	AD1_D5-	AD1 通道 LVDS 的数据 5 输出-N.
G12	AD1_D5+	AD1 通道 LVDS 的数据 5 输出-P.
H14	AD1_D6-	AD1 通道 LVDS 的数据 6 输出-N.
H13	AD1_D6+	AD1 通道 LVDS 的数据 6 输出-P.

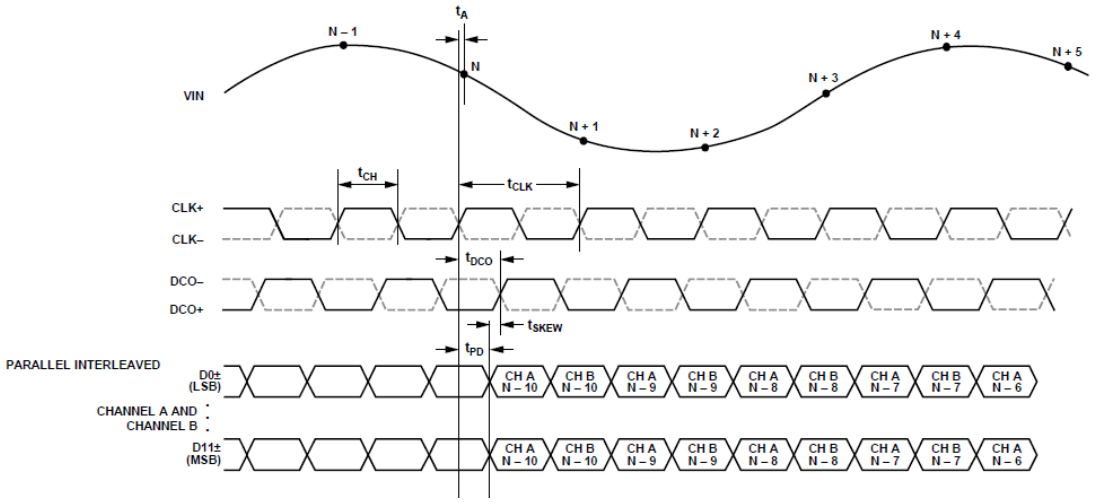
D15	AD1_D7-	AD1 通道 LVDS 的数据 7 输出-N.
D14	AD1_D7+	AD1 通道 LVDS 的数据 7 输出-P.
G16	AD1_D8-	AD1 通道 LVDS 的数据 8 输出-N.
G15	AD1_D8+	AD1 通道 LVDS 的数据 8 输出-P.
H17	AD1_D9-	AD1 通道 LVDS 的数据 9 输出-N.
H16	AD1_D9+	AD1 通道 LVDS 的数据 9 输出-P.
D18	AD1_D10-	AD1 通道 LVDS 的数据 10 输出-N.
D17	AD1_D10+	AD1 通道 LVDS 的数据 10 输出-P.
C19	AD1_D11-	AD1 通道 LVDS 的数据 11 输出-N.
C18	AD1_D11+	AD1 通道 LVDS 的数据 11 输出-P.
D9	AD1_OR-	AD1 通道输入范围超出指示-N
D8	AD1_OR+	AD1 通道输入范围超出指示-P
G9	AD1_SPI_CS	AD1 芯片的 SPI 通信片选信号
G3	AD1_SPI_SCLK	AD1 芯片的 SPI 通信时钟信号
G10	AD1_SPI_SDIO	AD1 芯片的 SPI 通信数据信号
C23	AD2_DCO-	AD2 通道 LVDS 的数据时钟输出-N.
C22	AD2_DCO+	AD2 通道 LVDS 的数据时钟输出-P.
G22	AD2_D0-	AD2 通道 LVDS 的数据 0 输出-N.
G21	AD2_D0+	AD2 通道 LVDS 的数据 0 输出-P.
H23	AD2_D1-	AD2 通道 LVDS 的数据 1 输出-N.
H22	AD2_D1+	AD2 通道 LVDS 的数据 1 输出-P.
C27	AD2_D2-	AD2 通道 LVDS 的数据 2 输出-N.
C26	AD2_D2+	AD2 通道 LVDS 的数据 2 输出-P.
G25	AD2_D3-	AD2 通道 LVDS 的数据 3 输出-N.
G24	AD2_D3+	AD2 通道 LVDS 的数据 3 输出-P.
H26	AD2_D4-	AD2 通道 LVDS 的数据 4 输出-N.
H25	AD2_D4+	AD2 通道 LVDS 的数据 4 输出-P.
D27	AD2_D5-	AD2 通道 LVDS 的数据 5 输出-N.
D26	AD2_D5+	AD2 通道 LVDS 的数据 5 输出-P.
G28	AD2_D6-	AD2 通道 LVDS 的数据 6 输出-N.
G27	AD2_D6+	AD2 通道 LVDS 的数据 6 输出-P.
H29	AD2_D7-	AD2 通道 LVDS 的数据 7 输出-N.
H28	AD2_D7+	AD2 通道 LVDS 的数据 7 输出-P.
G31	AD2_D8-	AD2 通道 LVDS 的数据 8 输出-N.
G30	AD2_D8+	AD2 通道 LVDS 的数据 8 输出-P.
H32	AD2_D9-	AD2 通道 LVDS 的数据 9 输出-N.
H31	AD2_D9+	AD2 通道 LVDS 的数据 9 输出-P.
G34	AD2_D10-	AD2 通道 LVDS 的数据 10 输出-N.
G33	AD2_D10+	AD2 通道 LVDS 的数据 10 输出-P.
H35	AD2_D11-	AD2 通道 LVDS 的数据 11 输出-N.
H34	AD2_D11+	AD2 通道 LVDS 的数据 11 输出-P.
D21	AD2_OR-	AD2 通道输入范围超出指示-N
D20	AD2_OR+	AD2 通道输入范围超出指示-P

G18	AD2_SPI_CS	AD2 芯片的 SPI 通信片选信号
D24	AD2_SPI_SCLK	AD2 芯片的 SPI 通信时钟信号
D23	AD2_SPI_SDIO	AD2 芯片的 SPI 通信数据信号
H38	CLK_CS	时钟芯片的 SPI 通信片选信号
G36	CLK_RESET	时钟芯片的复位信号
H37	CLK_SCLK	时钟芯片的 SPI 通信时钟信号
H19	CLK_SDIO	时钟芯片的 SPI 通信数据双向信号
G37	CLK_SDO	时钟芯片的 SPI 通信数据输出信号
G19	CLK_SYNC	时钟芯片的同步信号
H5	FPGA_CLK-	FPGA 参考时钟输入-N
H4	FPGA_CLK+	FPGA 参考时钟输入-P
C34	GA0	EEPROM 地址位 0 位
D35	GA1	EEPROM 地址位 1 位
C30	SCL	EEPROM 的 I2C 时钟
C31	SDA	EEPROM 的 I2C 数据
H20	AD_SYNC_V	AD 之间同步信号
G2	TRIG_IN	触发输入信号
G39	VADJ	VADJ 电源输入
H40	VADJ	VADJ 电源输入

第三部分 AD 采样时序和设计

3.1FL9613 数字输出时序

AD9613 双通道 AD 的数字输出配置为 LVDS 输出模式，2 路通道(A 和 B)共用一对差分时钟信号和 12 对差分数据信号。数据输出的顺序为交替输出，一路 AD 在时钟的上升沿输出，另外一路 AD 数据在时钟的下降沿输出。

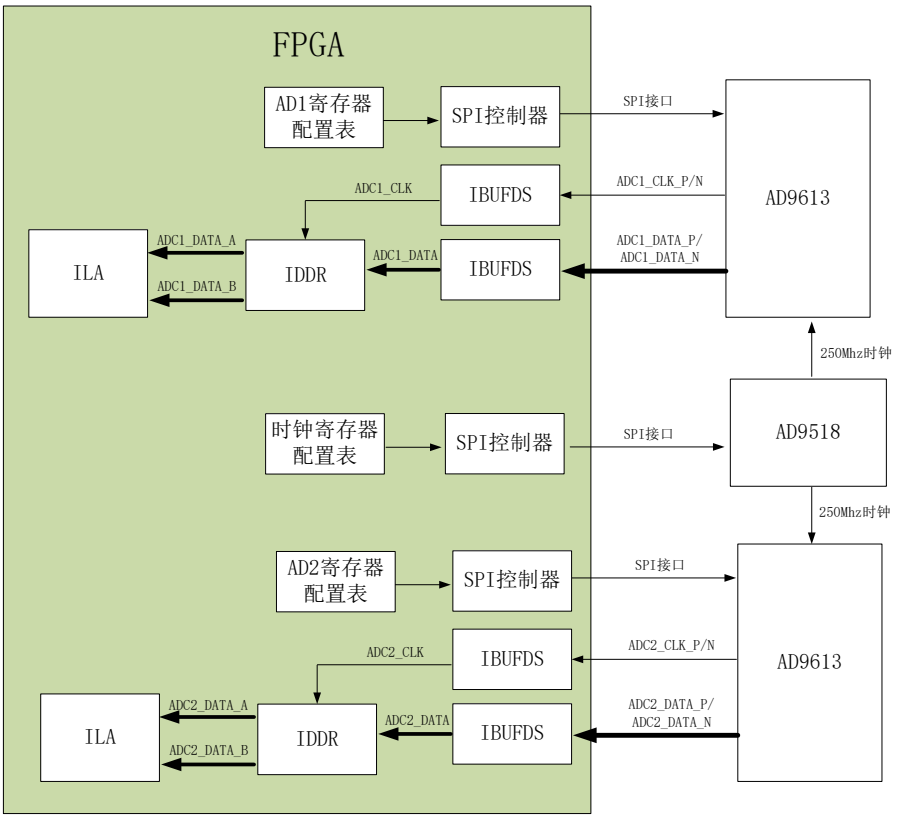


2.5 FL9627 程序设计

我们提供了黑金开发板的 AD 采集和显示的例程，在这个例程中 2 个 AD9613 输入的差分 LVDS 时钟信号和差分 LVDS 数据信号通过 IBUFDS 模块分别转换成单端信号，12 位的数据再通过 IDDR 模块转换成 A 通道 12 位数据和 B 通道 12 位数据。A 通道和 B 通道的 12 位数据通过 ILA 在线 debug 观察。

上电后，首先需要通过 SPI 接口对时钟芯片 AD9518 的寄存器进行配置，使得输出 250Mhz 的差分时钟给 AD9613 芯片。另外也要通过 SPI 接口对 AD9613 的寄存器进行配置。

FPGA 的 AD 测试的功能框图如下：



下面对 FPGA 程序中用到的各个模块做一下简单的功能介绍：

1. ad9613_lut_config.v

AD9613 寄存器配置表，这里只配置了 2 个寄存器的值，一个是寄存器 0x17，另一个是寄存器 0x FF。

寄存器 0x17 为配置输出时钟和数据之间的延迟关系，这个可以根据实际测量结

果来调整。

0x17	DCO output delay (global)	Enable DCO clock delay	Open	Open	DCO clock delay [delay = (3100 ps × register value/31 +100)] 00000 = 100 ps 00001 = 200 ps 00010 = 300 ps … 11110 = 3100 ps 11111 = 3200 ps	0x00

对寄存器 0x17 配置后，需要对 0xFF 寄存器的最低位写 1 后才能生效。

Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Default Notes/ Comments
0xFF	Transfer	Open	Open	Open	Open	Open	Open	Open	Transfer	0x00	Synchronously transfers data from the master shift register to the slave

具体的寄存器含义大家参考 AD9613 芯片手册。

2. ad9518_lut_config.v

AD9518 寄存器配置表，这里配置的寄存器比较多，具体参考芯片手册。

3. spi_config.v

此模块通过调用 SPI 通信模块对 AD9613 芯片和 AD9518 进行寄存器配置。

3. top.v

top 模块除了实例化上面的子模块外，还实现以下几个功能。

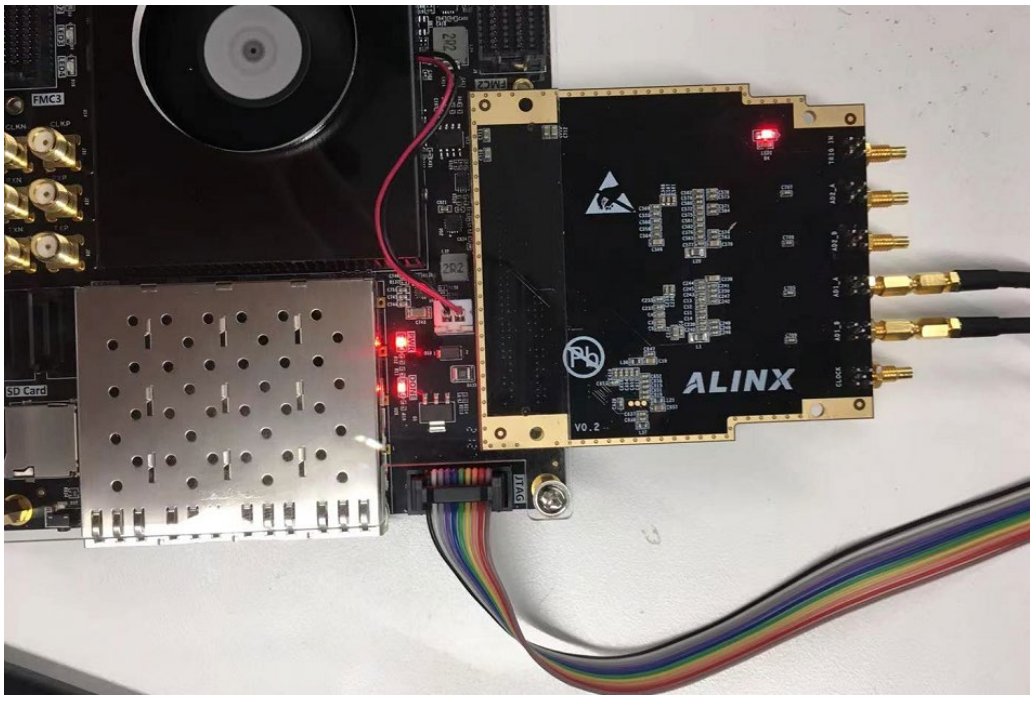
- ✧ 调用 PLL IP 产生 SPI 所需的 50Mhz 参考时钟。
- ✧ 调用 IBUFDS 原语实现 LVDS 差分时钟信号和数据信号转换成单端时钟和单端数据。
- ✧ 调用 IDDR 原语实现双沿的 A，B 通道的数据转换成单沿的 A 通道数据和 B 通道数据。
- ✧ 调用 ILA IP 观察 AD1 和 AD2 的数据，用户可以自己修改 ILA 的接口信号来观察自己想观察的信号。

4. xdc 约束文件

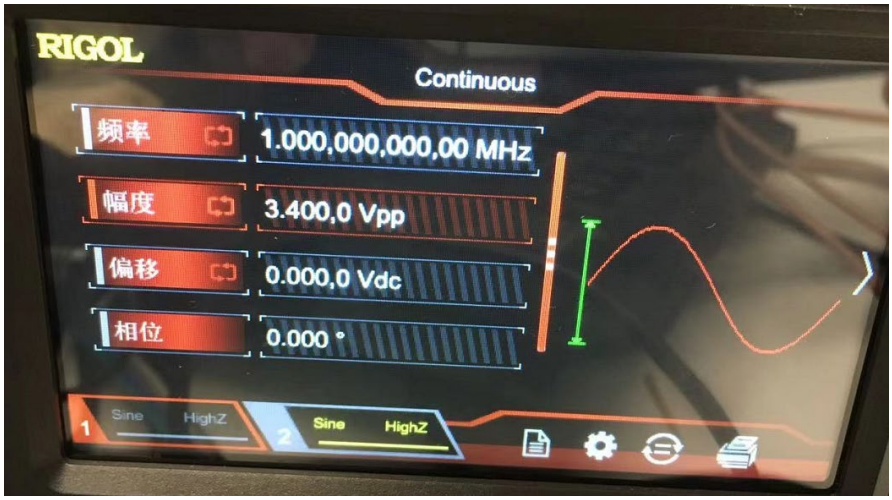
xdc 约束文件里定义了两个 AD 芯片和时钟芯片的通信的管脚。

第四部分 硬件连接和测试

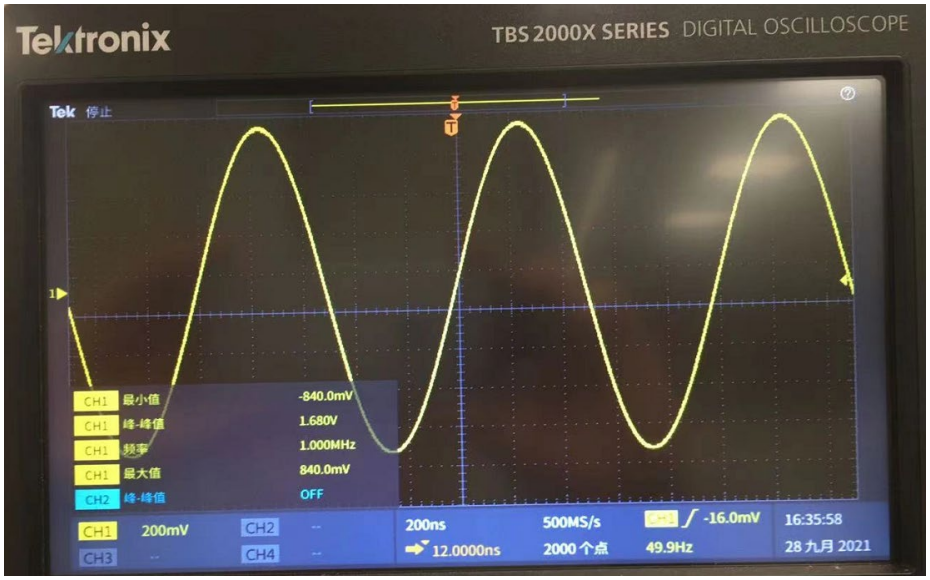
FL9613 模块和 FPGA 开发板的硬件连接很简单，只要把 FMC 接口跟开发板的 FMC 接口对插就可以，然后用螺丝固定。我们这边使用信号发生器产生模拟信号连接到 AD1_A 和 AD1_B 通道的 SMC 接口上。以下为黑金 AXKU040 开发板(FMC1)的和 FL9613 的硬件连接图：



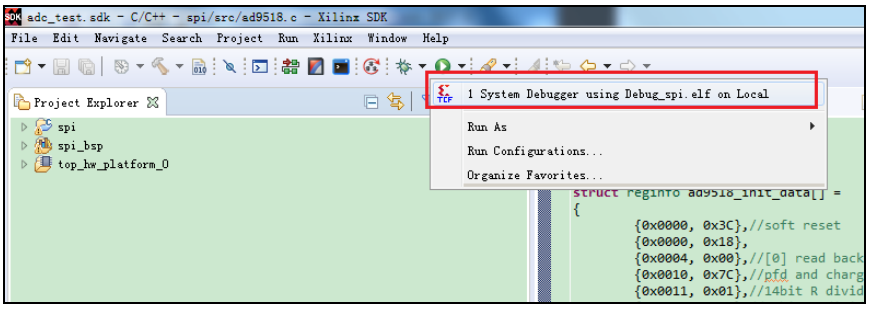
开发板上电，信号发生器产生的 2 路正选波，一路频率为 1Mhz,另一路位 10Mhz。峰峰值为 3.4 Vp-p。因为我们这边的信号发生器内阻是 50 欧姆，FL9613 的输入阻抗也是 50 欧姆，输出的信号会有分压，所以这样输入到 AD 模块的峰峰值为 1.7 Vp-p。



AD 输入的信号示波器测量波形如下

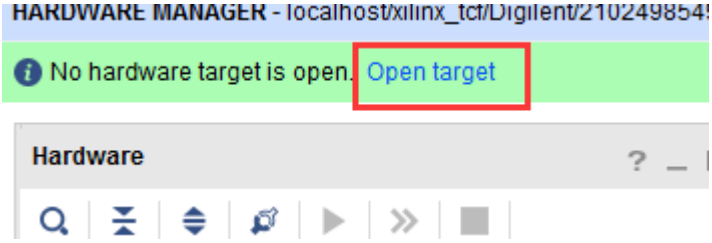


然后在 Vivado 软件里下载程序。

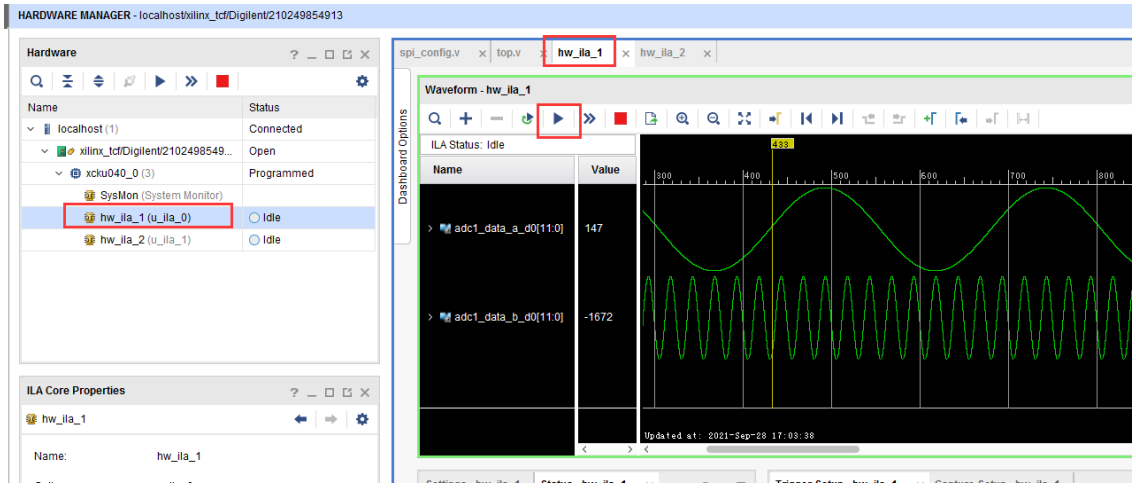


在 VIVADO 里 Open hardware Manager， 并 Open target。

Open Hardware Manager

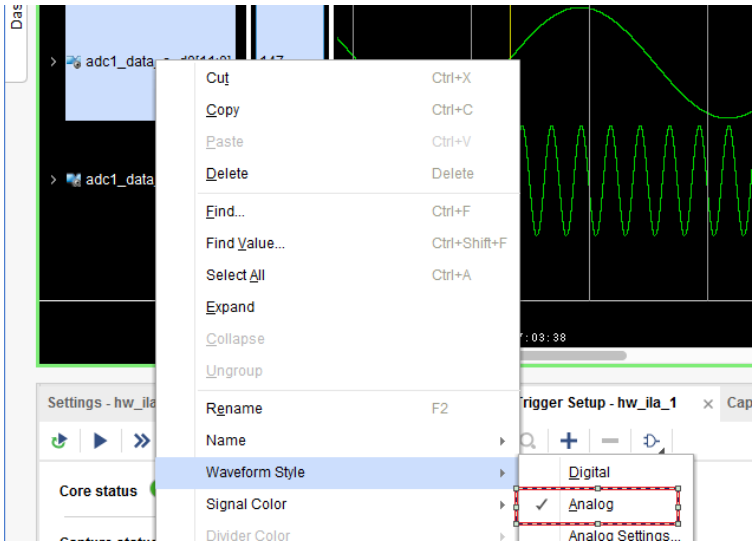


hw_ila_1 为 AD1 的观察的数据，点击触发，就可以看到 2 路 AD 的正选波数据。

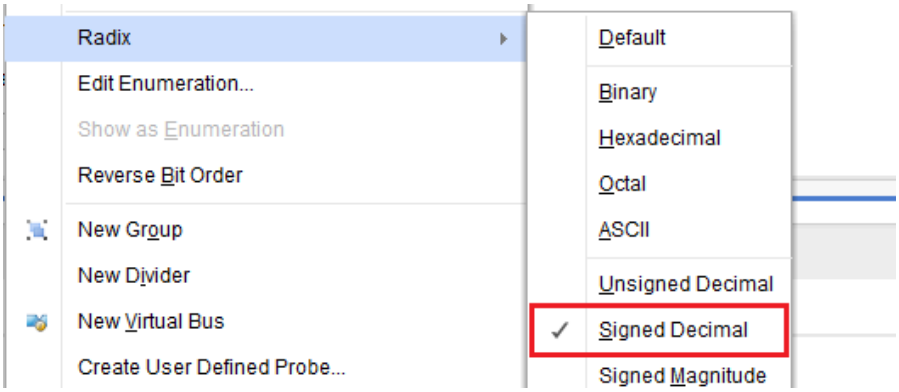


如果波形显示不对，可以检查以下几项：

1）波形显示设置成 Analog。



2）数据 Radix 要设置成 Signed Decimal。


Radix
Edit Enumeration...
Show as Enumeration
Reverse Bit Order
New Group
New Divider
New Virtual Bus
Create User Defined Probe...
Default
Binary
Hexadecimal
Octal
ASCII
Unsigned Decimal
Signed Decimal
Signed Magnitude