



Logos FPGA 开发平台 用户手册

PGL12G

REV 1.0 版

芯驿电子科技（上海）有限公司

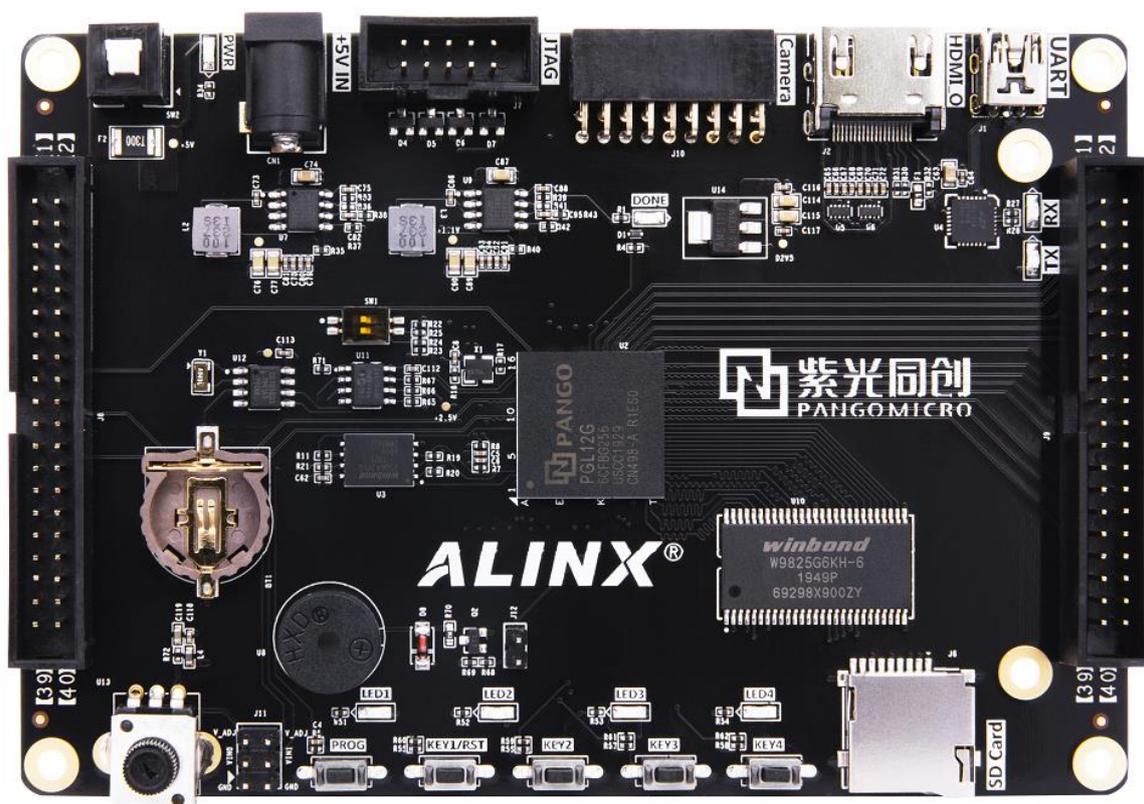
<http://www.alinx.com>

目录

一、 开发板简介	4
二、 PGL12G 开发板.....	5
(一) 简介	5
(二) FPGA.....	7
(三) 有源晶振.....	8
(四) SDRAM	9
(五) QSPI Flash.....	12
(六) LED 灯.....	13
(七) 配置复位按键.....	14
(八) 按键	15
(九) JTAG 接口.....	17
(十) HDMI 输出接口	18
(十一) SD 卡槽.....	19
(十二) USB 转串口	20
(十三) EEPROM 24LC04.....	21
(十四) 实时时钟 DS1338.....	22
(十五) 扩展口	24
(十六) 摄像头接口.....	27
(十七) 蜂鸣器	28
(十八) AD 接口	29
(十九) 供电电源.....	30
(二十) 结构图	33

紫光同创 Logos 系列的 FPGA 开发平台 (型号 : PGL12G) 正式发布了 , 为了让您对此开发平台可以快速了解 , 我们编写了此用户手册。

这款 Logos 系列 FPGA 开发平台采用一体板的模式 , 在板上设计了丰富的外围接口 , 比如 HDMI 输出接口 , Uart 通信接口 , SD 卡接口 , 摄像头接口、AD 接口、2 路 40PIN 扩展口、RTC 电路等等。对于 FPGA 的兴趣爱好者是一款不错的产品 ; 能够满足用户在视频图像处理和工业控制等方面的要求 , 为客户数据处理的前期验证和后期应用提供了可能。相信这样的一款产品非常适合从事 FPGA 开发的学生、工程师等群体。



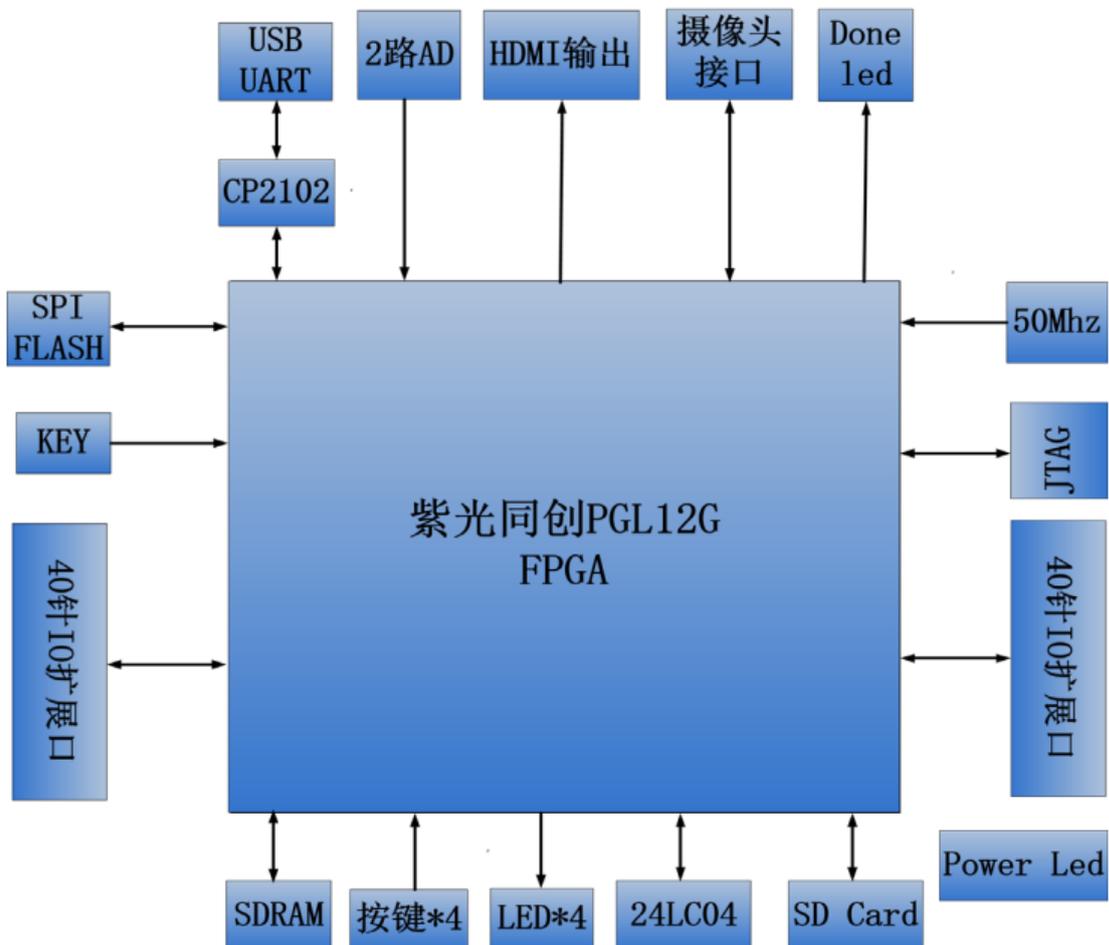
一、开发板简介

在这里，对这款 PGL FPGA 开发平台进行简单的功能介绍。

开发板的核心部分主要由 FPGA + SDRAM + QSPI FLASH 构成，承担 FPGA 高速数据处理和存储的功能，SDRAM 时钟频率高达 133Mhz，数据位宽为 16 位，容量高达 32MB，能够满足数据处理过程中对高缓冲区的需求。我们选用的 FPGA 为紫光同创公司的 **PGL12G6CFBG256** 芯片，FPGA 是 FBG256 封装。

此外板上还有丰富的外围接口，其中包含 1 路 HDMI 输出接口、1 路 UART 串口接口、1 路 SD 卡接口、1 个 JTAG 调试接口、2 路 AD 接口、一个摄像头接口、2 路 40 针的扩展口和一些按键，LED，RTC，蜂鸣器和 EEPROM 电路。

下图为整个开发系统的结构示意图：



通过这个示意图，我们可以看到，我们这个开发平台所能实现的功能。

● PGL12G 核心部分

由 PGL12G+1 片 32MB SDRAM+64Mb QSPI FLASH 组成，有一个高精度的 50Mhz 晶振，为 FPGA 系统提供稳定的时钟输入。

- 一路 HDMI 输出

使用 FPGA 的 4 路 LVDS 差分信号 (3 路数据加 1 路时钟) 接口直接驱动 HDMI 输出, 为开发板提供不同格式的视频输出接口。

- 一路 USB Uart 接口

一路 Uart 转 USB 接口, 用于和电脑通信, 方便用户调试。串口芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片。

- Micro SD 卡座

一路 Micro SD 卡座, 支持 SPI 模式。

- EEPROM

板载一片 IIC 接口的 EEPROM 24LC04。

- RTC 实时时钟

一路 RTC 实时时钟, 配有电池座, 电池的型号为 CR1220。

- 40 针扩展口

预留 2 个 40 针 2.54mm 间距的扩展口, 可以外接的各种模块 (双目摄像头, TFT LCD 屏, 高速 AD 模块等等)。扩展口包含 5V 电源 1 路, 3.3V 电源 2 路 (其中一个扩展口的电源可选择为 +2.5V), 地 3 路, IO 口 34 路。

- CMOS 接口

一个 18 针的摄像头接口, 可以接 500 万 OV5640 摄像头。

- JTAG 口

10 针 2.54mm 标准的 JTAG 口, 用于 FPGA 程序的下载和调试。

- 按键和 LED 灯

1 个程序配置按键, 4 个用户按键, 4 个用户发光二级管 LED。

- AD 输入接口

2 路 AD 输入接口, 可用于采集外部的模拟信号。

二、 PGL12G 开发板

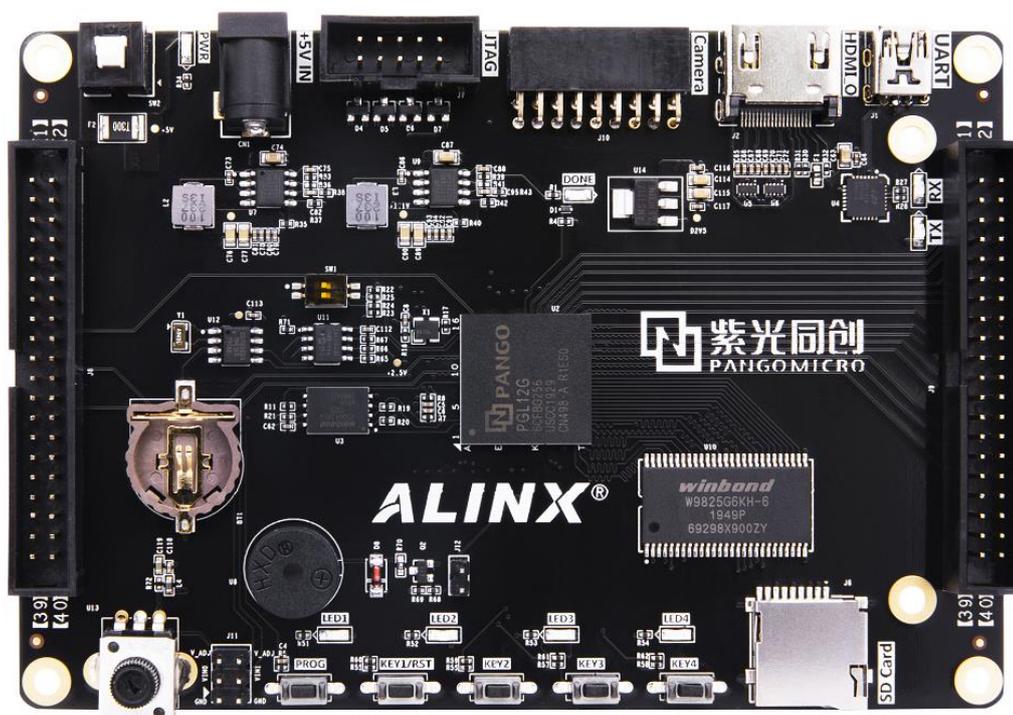
(一) 简介

PGL12G 开发板, 是利用紫光同创公司 Logos 系列 FPGA 开发的能够满足用户在视频图像处理和工业控制等方面的要求的产品, 可为客户前期验证和后期应用。

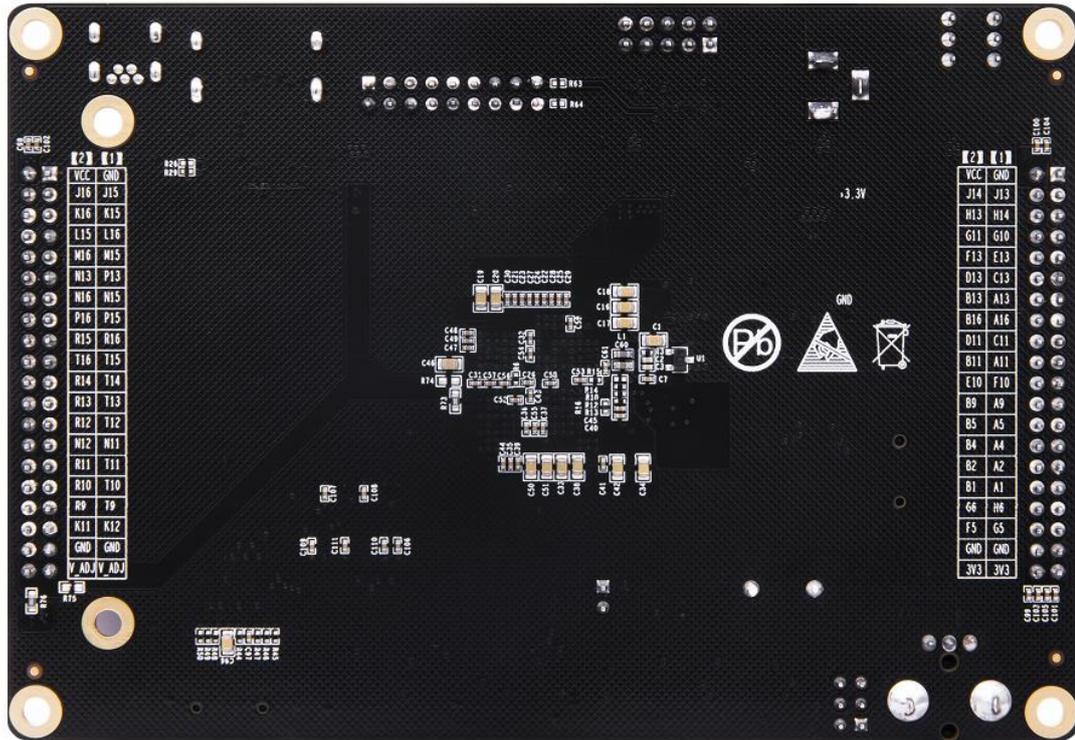
板上使用了 1 片 winbond 公司的 W9825G6 这款 SDRAM 芯片, 容量为 32MB ;

SDRAM 芯片和 FPGA 芯片总线宽度为 16bit，数据时钟频率高达 133Mhz；这样的配置，可以满足大部分数据处理的需求。板上的 64Mb QSPI FLASH 芯片的型号为 W25Q64，用于存储 FPGA 系统的启动文件。

板的外设有 1 路 HDMI 输出接口、1 路 UART 串口接口、1 路 SD 卡接口、1 个 JTAG 调试接口、2 路 AD 接口、一个摄像头接口、2 路 40 针的扩展口和一些按键，LED，RTC，蜂鸣器和 EEPROM 电路。



PGL12G 板正面图



PGL12G 板背面图

(二) FPGA

前面已经介绍过了，我们所使用的 FPGA 型号为 **PGL12G6CFBG256**，属于紫光同创公司的 Logos 系列产品，速度等级为-6，温度等级为商业级 C。此型号为 **FBG256** 封装，256 个引脚。Logos 系列 FPGA 命名规则如图所示。

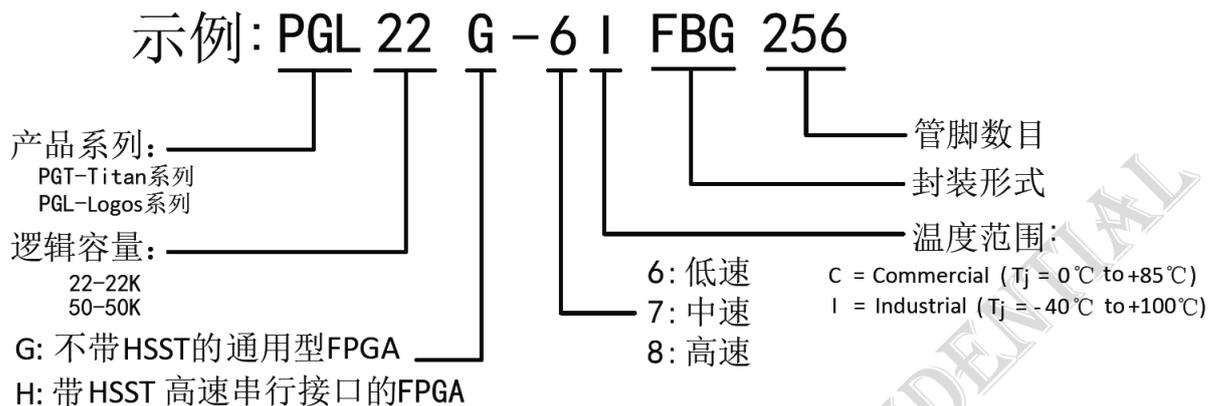


图 2-2-1 为开发板所用的 FPGA 芯片实物图。



图 2-2-1 FPGA 芯片实物

其中 FPGA 芯片 PGL12G 的主要参数如下所示：

表 1 Logos FPGA资源数量

器件	CLM ^{1,2}				18Kb DRM (个)	APM (个)	PLL (个)	ADC (个)	HMEMC (个)	PCIe (个)	MAX USER IO (个)	HSST (个)
	LUT5 (个)	等效 LUT4 (个)	FF (个)	Distributed RAM (bits)								
PGL12G	9856	11827	14784	39424	30	20	4	1	1	0	160	0
PGL22G	17536	21043	26304	70144	48	30	6	1	2	0	240	0
PGL35H	29280	35136	43920	117120	102	90	6	1	2	1	300	2
PGL50H	42480	50976	63720	169920	180	150	6	1	2	1	364	2

注1：每个CLM包含4个多功能LUT5和6个寄存器；每个多功能LUT5等效为1.2个LUT4

注2：芯片中四分之一的CLM可配置为64bits的Distributed RAM。

表 2 Logos FPGA封装信息与用户IO数量

封装	TBD	FBG256	MBG324	TBD	TBD
尺寸 (mm)	TBD	17×17	15×15	TBD	TBD
Pitch (mm)	TBD	1.0	0.8	TBD	TBD
器件	User IO				
PGL12G	TBD	-	-	-	-
PGL22G	-	186	240	-	-
PGL35H	-	-	-	TBD	-
PGL50H	-	-	-	-	TBD

FPGA 供电系统

紫光同创 Logos FPGA 电源有 VCC, VCCIO L0 ,VCCIO L1 ,VCCIO R0 ,VCCIO R1 , VCCAUX。VCC 为 FPGA 内核供电引脚，需接+1.1V；VCCAUX 为 FPGA 辅助供电引脚，接 3.3V；VCCIO L0 , VCCIO L1 , VCCIO R0 , VCCIO R1 为 FPGA 的各个 BANK 的电压，包含 BANK L0~L1 ,BANK R0~R1 ,在 PGL12G 板上，BANK L1 ,BANK L2 、BANK R0 连接的都是 3.3V ,其中 BANK R1 的 VCCIO 电压可以通过跳电阻更改 BANK 的电平。

(三) 有源晶振

PGL12G 板上配有一个 50Mhz 的有源晶振，用于 FPGA 的系统主时钟。晶振输出连接到 FPGA 的时钟输入管脚(Pin A15)，这个时钟可以用来驱动 FPGA 内的用户逻辑

电路，用户可以通过配置 FPGA 内部的 PLLs 来实现更高的时钟。

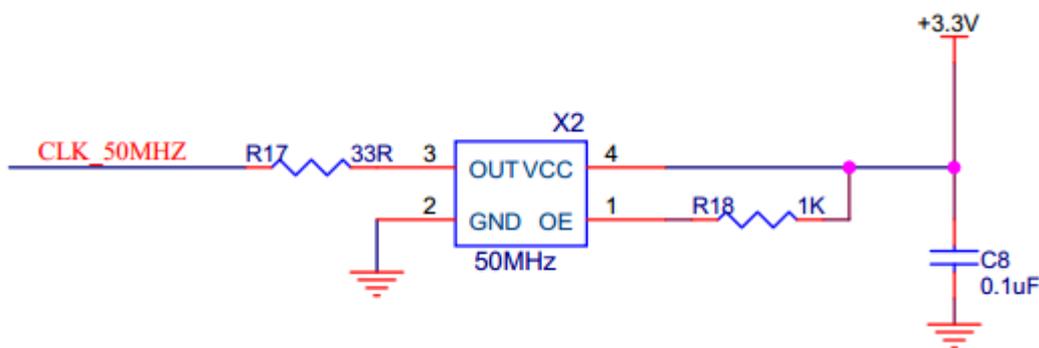


图 2-3-1 50Mhz 有源晶振

图 2-3-2 为 50Mhz 有源晶振实物图

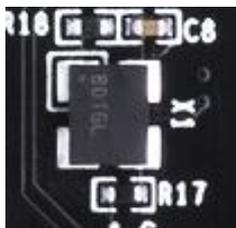


图 2-3-2 50M 有源晶振实物图

时钟引脚分配：

时钟网络名称	FPGA 引脚
CLK_50MHZ	A15

(四) SDRAM

开发板板载了一片 winbond 的 SDRAM 芯片,型号 : W9825G6 , 容量 : 256Mbit (16M*16bit), 16bit 总线。SDRAM 可用于数据缓存,比如摄像头采集到的数据,暂存到 SDRAM 中,然后通过 HDMI 接口进行显示。这里面 SDRAM 就是用于数据缓存的。管脚连接到了 FPGA 的 BANK L1 上。SDRAM 的具体配置如下表 2-4-1 所示。

表 2-4-1 SDRAM 配置

位号	芯片类型	容量	厂家
U10	W9825G6KH-6	16M x 16bit	winbond

SDRAM 的硬件连接示意图如图 2-4-1 所示:

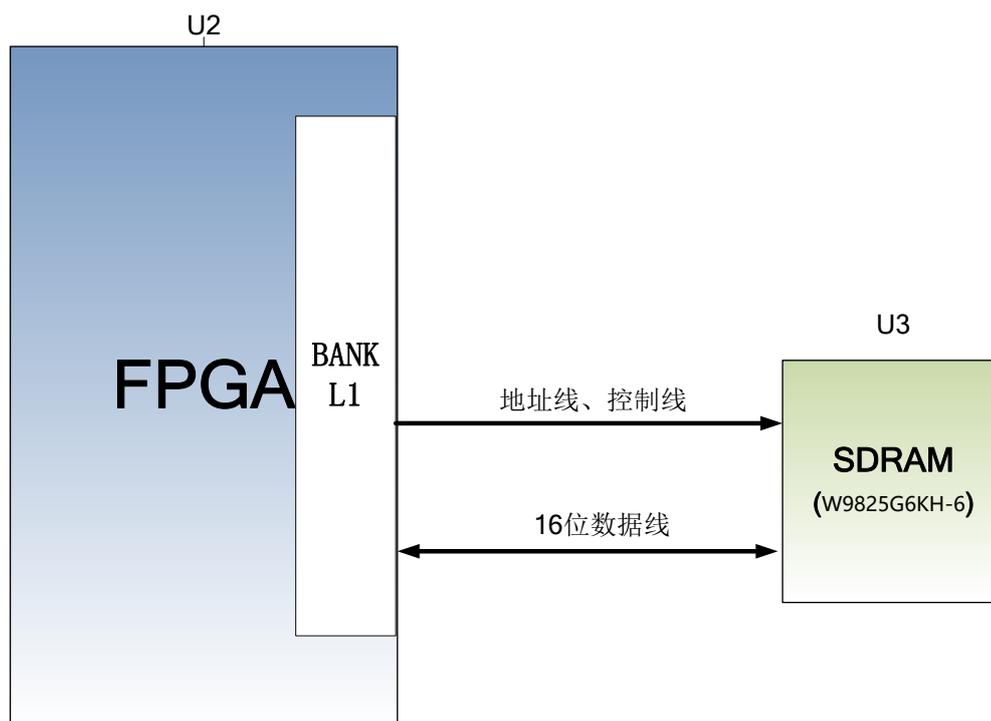


图2-4-1 DDR3 DRAM原理图示意图

图 2-4-2 为 SDRAM 实物图



图2-4-2 DDR3 DRAM实物图

SDRAM 引脚分配：

引脚名称	FPGA 引脚
S_CLK	R3
S_CKE	R5
S_NCS	L2
S_NWE	K3
S_NCAS	K2
S_NRAS	K1
S_DQM0	L4
S_DQM1	T4
S_BA0	L1

S_BA1	L3
S_A0	M2
S_A1	N1
S_A2	N2
S_A3	P1
S_A4	R8
S_A5	T8
S_A6	R7
S_A7	T7
S_A8	R6
S_A9	T6
S_A10	M1
S_A11	P6
S_A12	T5
S_DB0	K4
S_DB1	K5
S_DB2	K6
S_DB3	L5
S_DB4	M5
S_DB5	N4
S_DB6	N5
S_DB7	P5
S_DB8	R4
S_DB9	T3
S_DB10	T2
S_DB11	R2
S_DB12	T1
S_DB13	P2
S_DB14	R1
S_DB15	N3

(五) QSPI Flash

核心板上使用了一片 64Mbit 大小的 QSPI FLASH 芯片，型号为 W25Q64，它使用 3.3V CMOS 电压标准。由于它的非易失特性，在使用中，QSPI FLASH 除了用作存储 FPGA 配置文件外还可以存储其它的用户数据文件。

SPI FLASH的具体型号和相关参数见下表

位号	芯片类型	容量	厂家
U3	W25Q64	64M Bit	Winbond

表2-5-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 FPGA 芯片的 BANK L0 的专用管脚上

配置芯片引脚分配：

信号名称	FPGA 引脚名	FPGA 管脚号
QSPI_CLK	DIFFIO_L0_3_N/CFG_CLK	A8
QSPI_CS	DIFFIO_L0_4_P/FCS_N	D10
QSPI_DQ0	DIFFIO_L0_12_P/D0	B3
QSPI_DQ1	DIFFIO_L0_12_N/RRN_L0/D1	A3
QSPI_DQ2	DIFFIO_L0_13_P/RRP_L0/D2	D5
QSPI_DQ3	DIFFIO_L0_13_N/D3	D6

图 2-5-2 为开发板上 QSPI Flash 的实物图

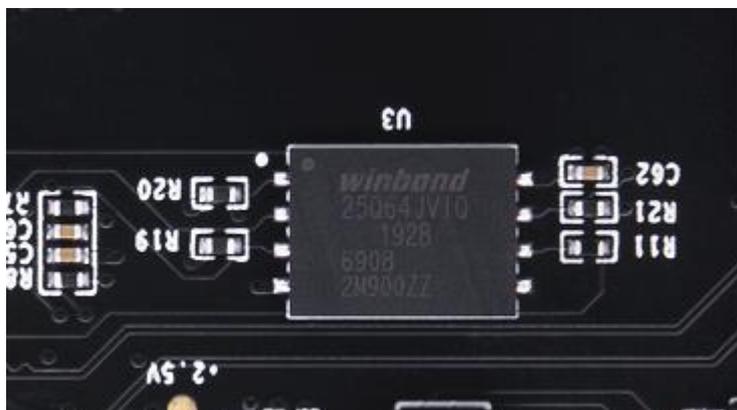


图 2-5-2 QSPI FLASH 部分实物图

(六) LED 灯

PGL12G 板上有 8 个红色 LED 灯,其中 1 个是电源指示灯(PWR),1 个是配置 LED 灯(DONE),4 个是用户 LED 灯(LED1、LED2、LED3、LED4)。2 个是串口指示灯(RX、TX)。当开发板供电后,电源指示灯会亮起;当 FPGA 配置程序后,配置 LED 灯(DONE)也会亮起。用户 LED 灯用户连接到 BANK L0 的 IO 管脚上,可以通过程序来控制亮和灭,当连接用户 LED 灯的 IO 电压为高时,用户 LED 灯熄灭,当连接 IO 电压为低时,用户 LED 灯会被点亮。4 个用户 LED 灯硬件连接如图 2-6-1 所示:

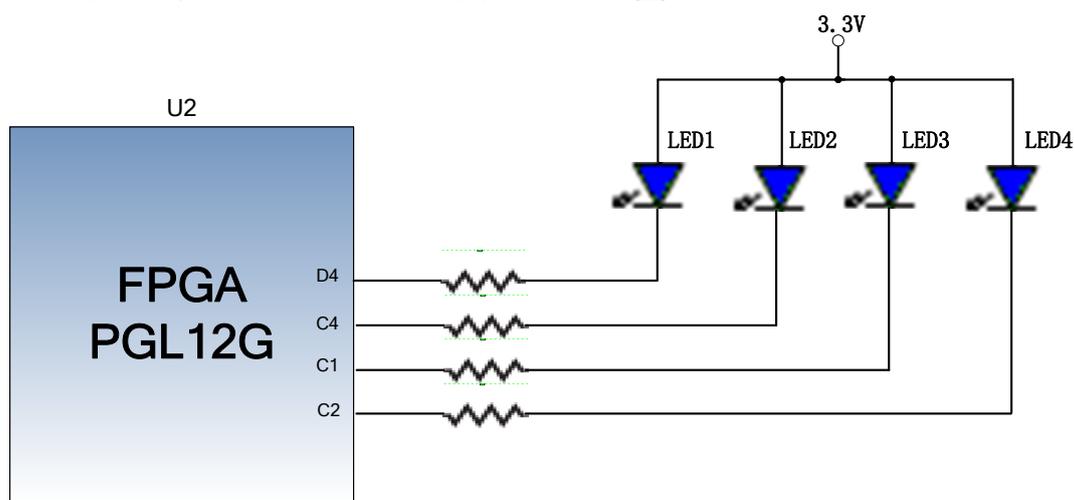


图 2-6-1 用户 LED 灯硬件连接图

图 2-6-2 用户 LED 灯实物图

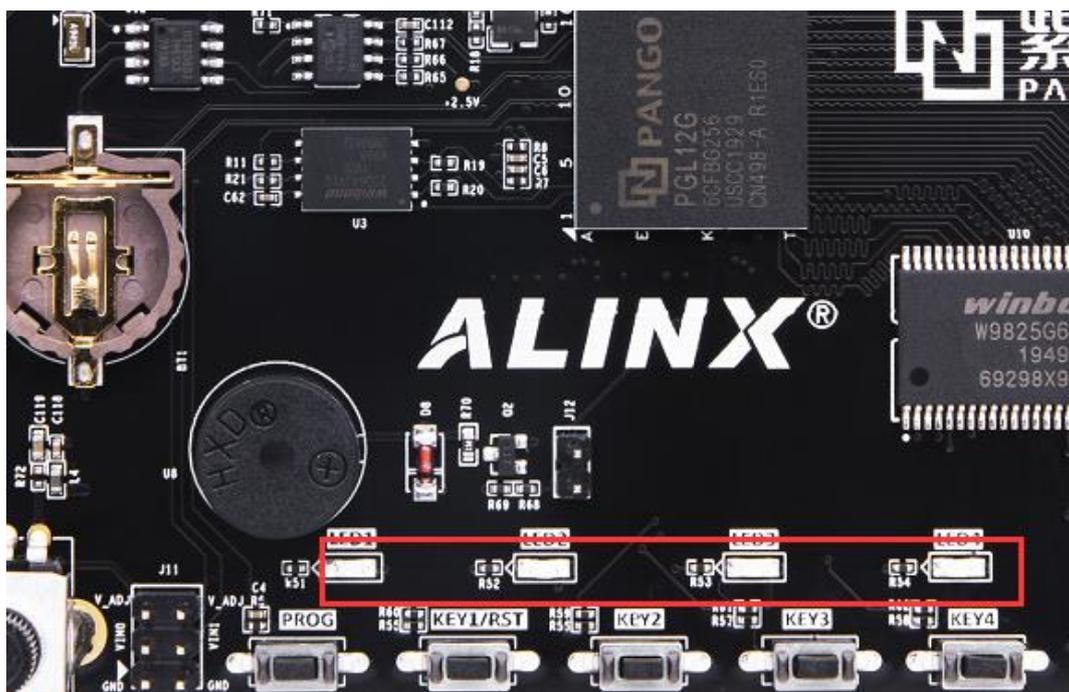


图 2-6-2 核心板的 LED 灯实物图

用户 LED 灯的引脚分配

信号名称	FPGA 管脚号	备注
LED1	D4	用户LED1灯
LED2	C4	用户LED2灯
LED3	C1	用户LED3灯
LED4	C2	用户LED4灯

(七) 配置复位按键

PGL12G 板上有一个配置复位按键 PROG, 复位按键连接到 FPGA 芯片的复位管脚 RST_N 上, 用户可以使用这个复位按键来初始化 FPGA 的程序。设计中按键按下, 输入到 RST_N 管脚上的电压为低, 复位信号有效; 按键没有按下时, 输入到 RST_N 管脚上电压为高。 复位按键连接的示意图如图 2-7-1 所示:

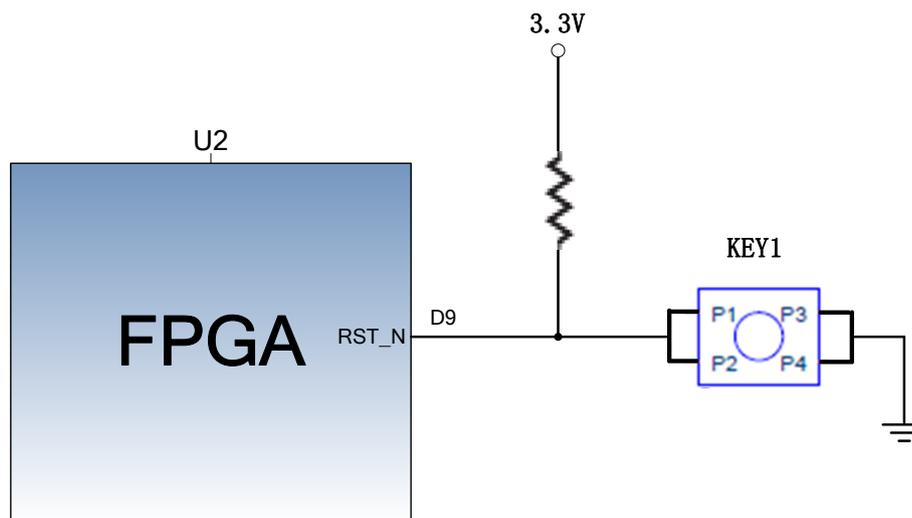


图 2-7-1 复位按键连接示意图

图 2-7-2 为复位按键实物图

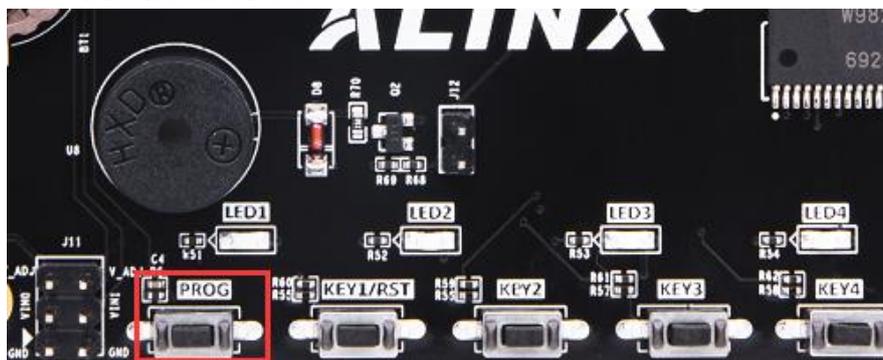


图 2-7-2 复位按键实物图

复位按键的引脚分配

信号名称	FPGA 引脚名	FPGA 引脚号	备注
RESET_N	RST_N	D9	复位按键PROG

(八) 按键

板上含有 4 个用户按键 KEY1~KEY4，其中 KEY1/RST 按键为后续程序中会用到的复位按键，与其他三个按键无本质区别，四个按键都连接到 FPGA 的普通的 IO 上，按键低电平有效，当按键按下，FPGA 的 IO 输入电压为低，当没有按键按下时，FPGA 的 IO 输入电压为高。按键部分电路如下图 2-8-1 所示

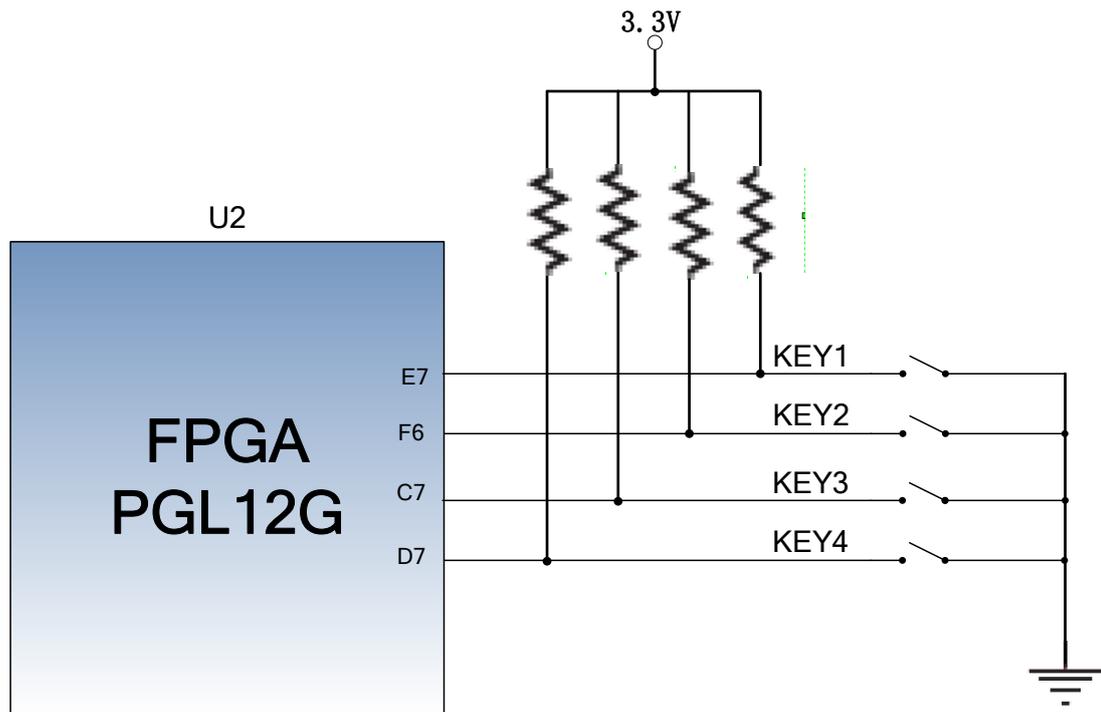


图 2-8-1 按键硬件设计示意图

图 2-8-2 为 4 个用户按键实物图

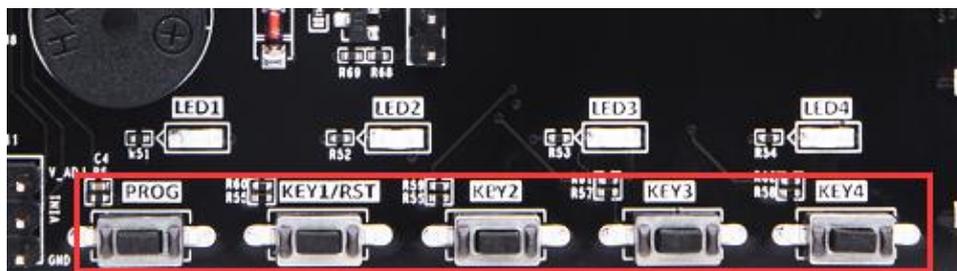


图 2-8-2 按键实物图

按键 FPGA 引脚分配：

引脚名称	FPGA 引脚
KEY1/RST	E7
KEY2	F6
KEY3	C7
KEY4	D7

(九) JTAG 接口

开发板预留了一个标准的 10 针 2.54mm 间距的 JTAG 接口，用于下载 FPGA 程序或者固化程序到 FLASH。为了带电插拔造成对 FPGA 芯片的损坏，我们在 JTAG 信号上添加了保护二极管来保证信号的电压在 FPGA 接受的范围，避免 FPGA 的损坏。

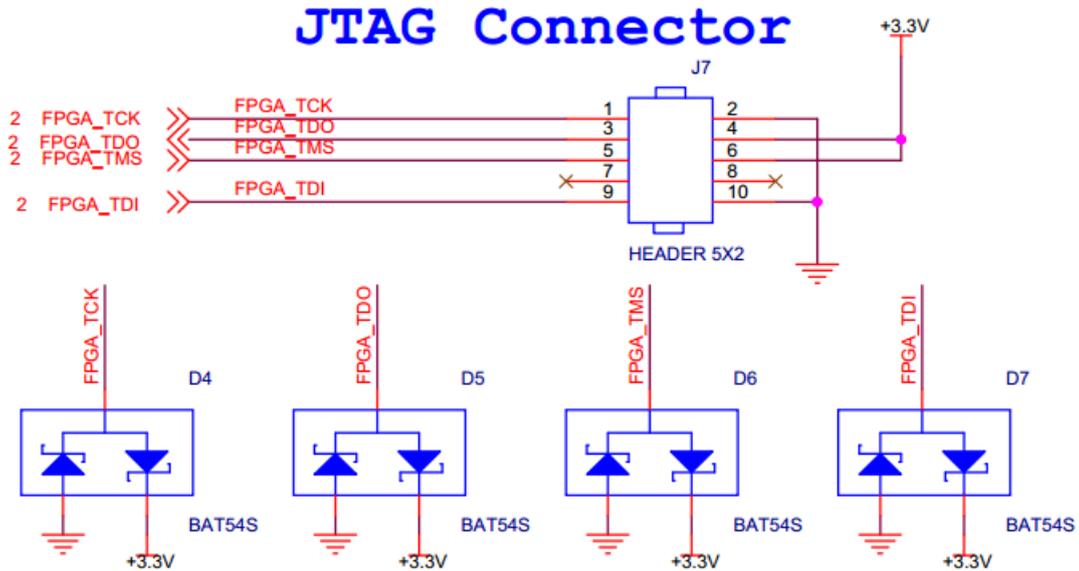


图 2-9-1 JTAG 接口部分

下图为扩展板上 JTAG 接口实物图，JTAG 线插拔的时候注意不要热插拔。



图 2-9-2 JTAG 接口实物图

(十) HDMI 输出接口

HDMI 输出接口的实现，是通过 FPGA 的 4 路 LVDS 差分信号（3 路数据和一路时钟）接口直接驱动 HDMI 输出，为开发板提供不同格式的视频输出接口。

其中，HDMI 接口和 FPGA 之间的 LVDS 差分信号的连接使用 AC Couple 的模式，起到隔直的左右。另外在硬件设计上，每对 LVDS 差分信号上增加了 TVS 保护管，防止外面静电对 FPGA 的损坏。HDMI 输出接口的硬件连接如图 2-10-1 所示。

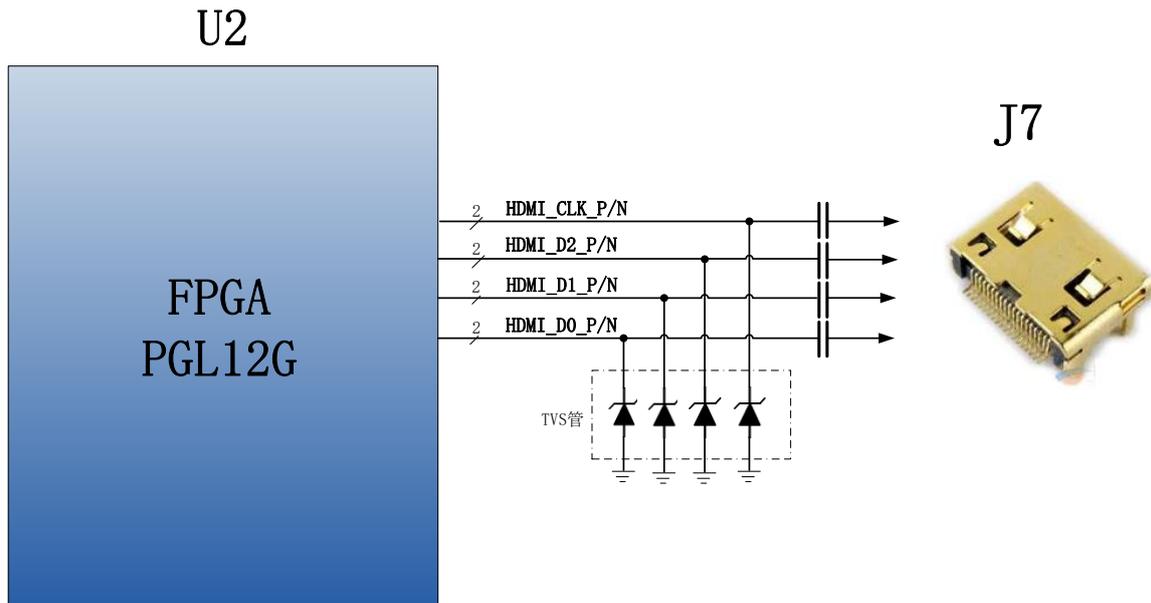


图 2-10-1 HDMI 输出接口原理图

HDMI 输出接口在扩展板的实物图如下图 2-10-2 所示:

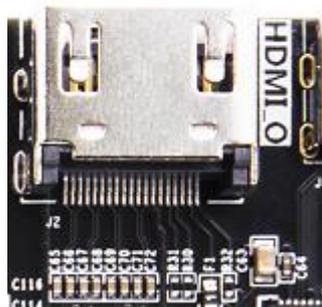


图 2-10-2 HDMI 输出接口实物图

FPGA 引脚分配：

引脚名称	FPGA 引脚
HDMI_CLK_N	L12
HDMI_CLK_P	L11
HDMI_D0_N	L13

HDMI_D0_P	L14
HDMI_D1_N	K13
HDMI_D1_P	K14
HDMI_D2_N	J10
HDMI_D2_P	H10

(十一) SD 卡槽

SD 卡(Secure Digital Memory Card)是一种基于半导体闪存工艺的存储卡，1999年由日本松下主导概念，参与者东芝和美国 SanDisk 公司进行实质研发而完成。2000年这几家公司发起成立了 SD 协会(Secure Digital Association 简称 SDA)，阵容强大，吸引了大量厂商参加。其中包括 IBM，Microsoft，Motorola，NEC、Samsung 等。在这些领导厂商的推动下，SD 卡已成为目前消费数码设备中应用最广泛的一种存储卡。

SD 卡是现在非常常用的存储设备，我们扩展出来的 SD 卡，支持 SPI 模式，使用的 SD 卡为 MicroSD 卡。原理图如下图 2-11-1 所示。

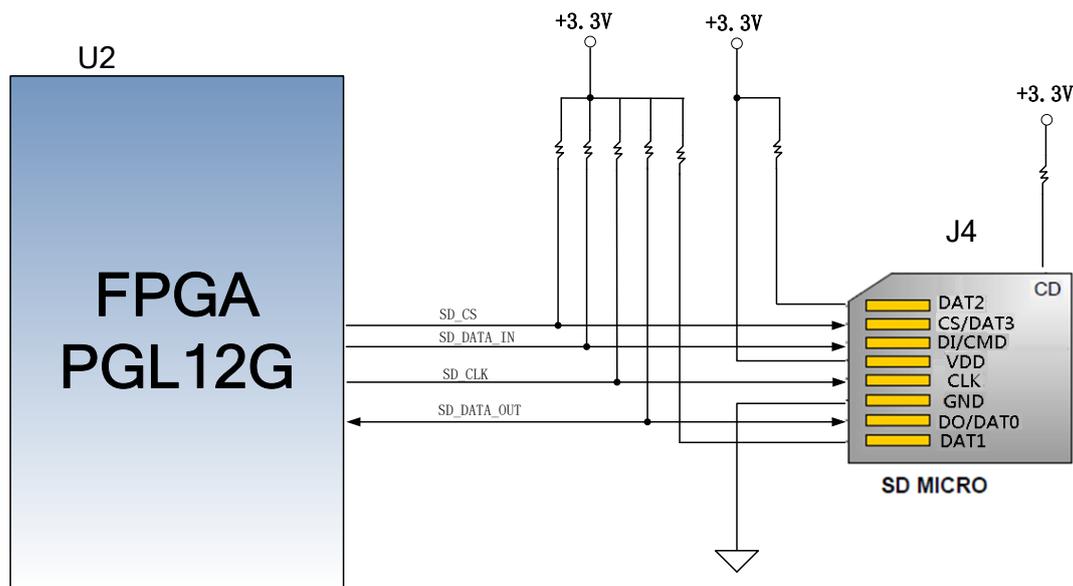


图 2-11-1 SD 卡槽原理图

下图为 PGL12G 开发板的 SD 卡槽实物图

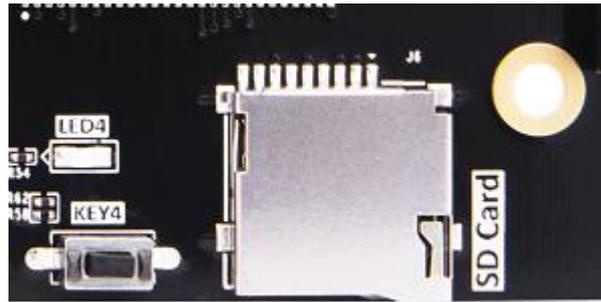


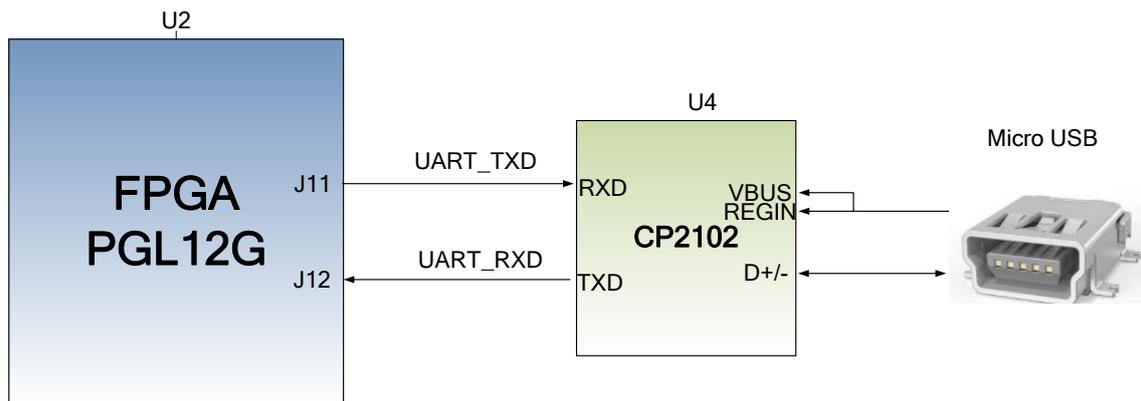
图 2-11-2 SD 卡槽实物图

SD 卡槽引脚分配

SPI 模式	
引脚名称	FPGA 引脚
SD_CS	E4
SD_CLK	F4
SD_DATA_IN	E3
SD_DATA_OUT	F3

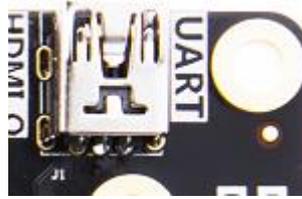
(十二) USB 转串口

PGL12G 开发板包含了 Silicon Labs CP2102GM 的 USB-UAR 芯片, USB 接口采用 MINI USB 接口, 可以用一根 USB 线将它连接到上 PC 的 USB 口进行串口数据通信。USB Uart 电路设计的示意图如下图所示:



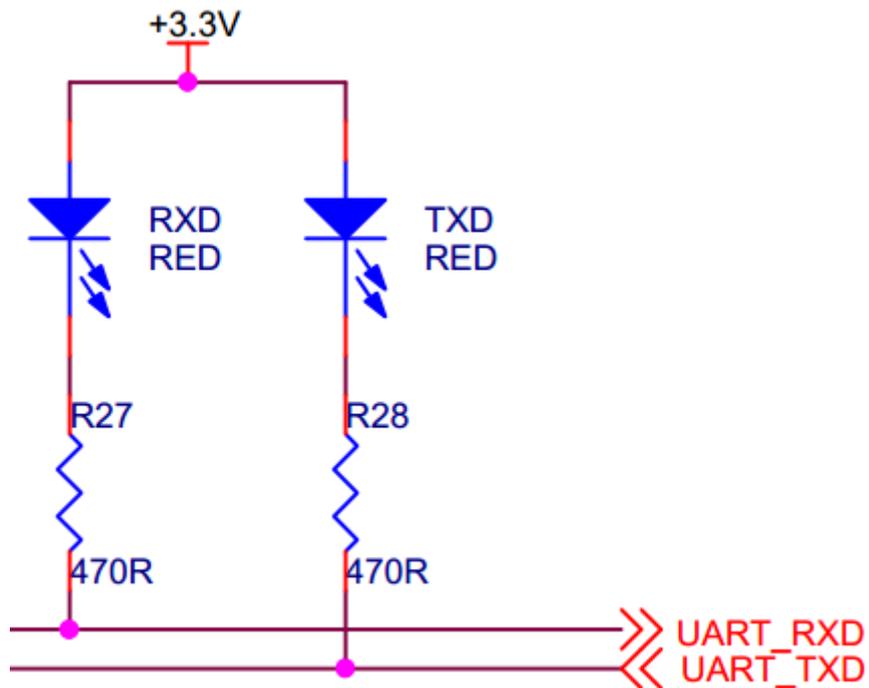
2-12-1 USB 转串口示意图

下图为 USB 转串口的实物图



2-12-2 USB 转串口实物图

同时对串口信号设置了 2 个 PCB 上丝印为 TXD 和 RXD 的 LED 指示灯，TXD 和 RXD LED 灯会指示串口是否有数据发出或者是否有数据接受，如下图所示，



2-12-3 USB 转串口信号指示灯

UART 转串口的 FPGA 引脚分配：

引脚名称	FPGA 引脚
UART_RXD	J12
UART_TXD	J11

(十三) EEPROM 24LC04

PGL12G 开发板板载了一片 EEPROM，型号为 24LC04,容量为：4Kbit (2*256*8bit) ,由 2 个 256byte 的 block 组成,通过 IIC 总线进行通信。板载 EEPROM

就是为了学习 IIC 总线的通信方式。EEPROM 的 I2C 信号连接的 FPGA 的 IO 口上。下图 2-13-1 为 EEPROM 的设计示意图

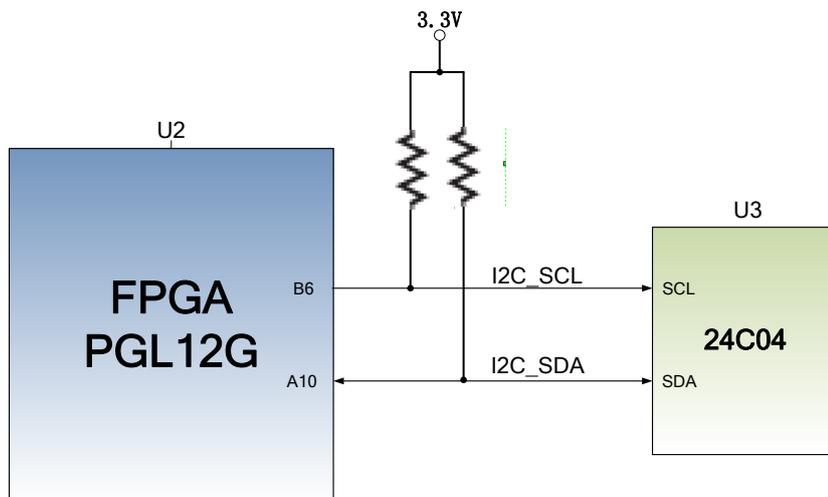


图 2-13-1 EEPROM 原理图部分

下图为 EEPROM 实物图

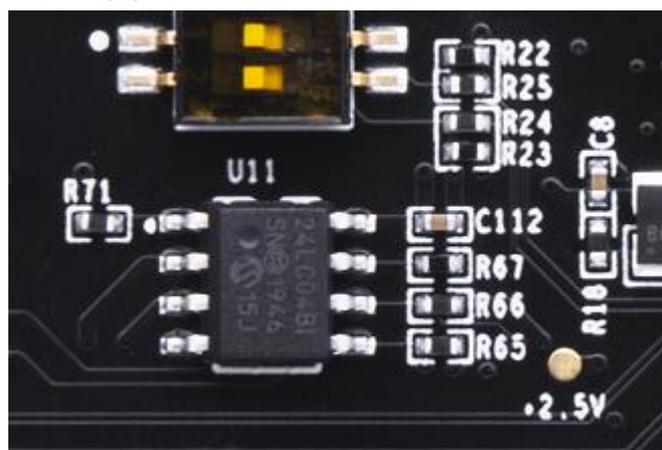


图 2-13-2 EEPROM 实物图

EEPROM 引脚分配：

引脚名称	FPGA 引脚
EEPROM_I2C_SCL	B6
EEPROM_I2C_SDA	A10

(十四) 实时时钟 DS1338

开发板板载了一片实时时钟 RTC 芯片，型号 DS1338，他的功能是提供到 2100 年内的日历功能，年月日时分秒还有星期。如果系统中需要时间的话，那么 RTC 就需要

涉及到产品中。他外部需要接一个 32.768KHz 的无源时钟，提供精确的时钟源给时钟芯片，这样才能让 RTC 可以准确的提供时钟信息给产品。同时为了产品掉电以后，实时时钟还可以正常运行，一般需要另外配一个电池给时钟芯片供电，图 2-14-2 中为 BT1 为电池座，我们将纽扣电池（型号 CR1220，电压为 3V）放入以后，当系统掉电，纽扣电池还可以给 DS1338 供电，这样，不管产品是否供电，DS1338 都会正常运行，不会间断，可以提供持续不断的时间信息。RTC 的接口信号也是连接到 FPGA 的 IO 口上。图 2-14-1 为 DS1338 设计示意图：

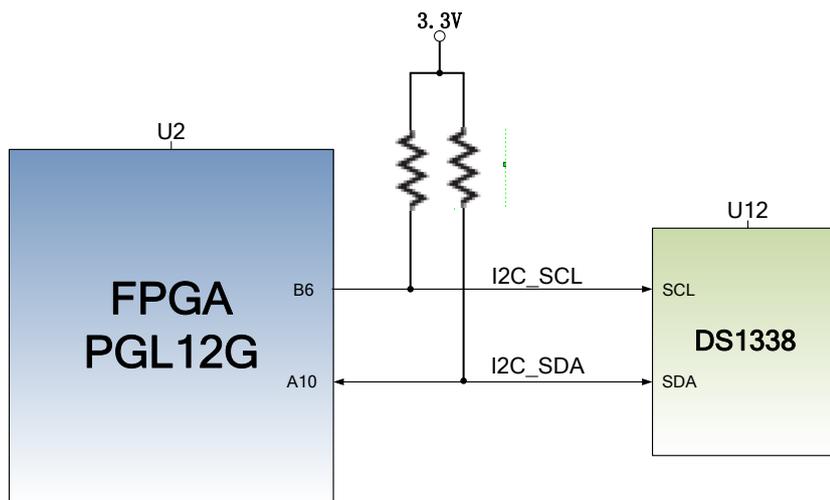


图 2-14-1 DS1338 设计示意图

图 2-14-2 为 DS1338 实物图

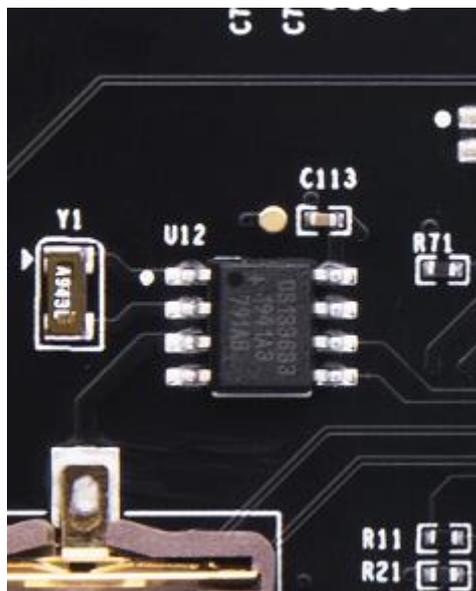


图 2-14-2 DS1338 实物图

DS1338 接口引脚分配：

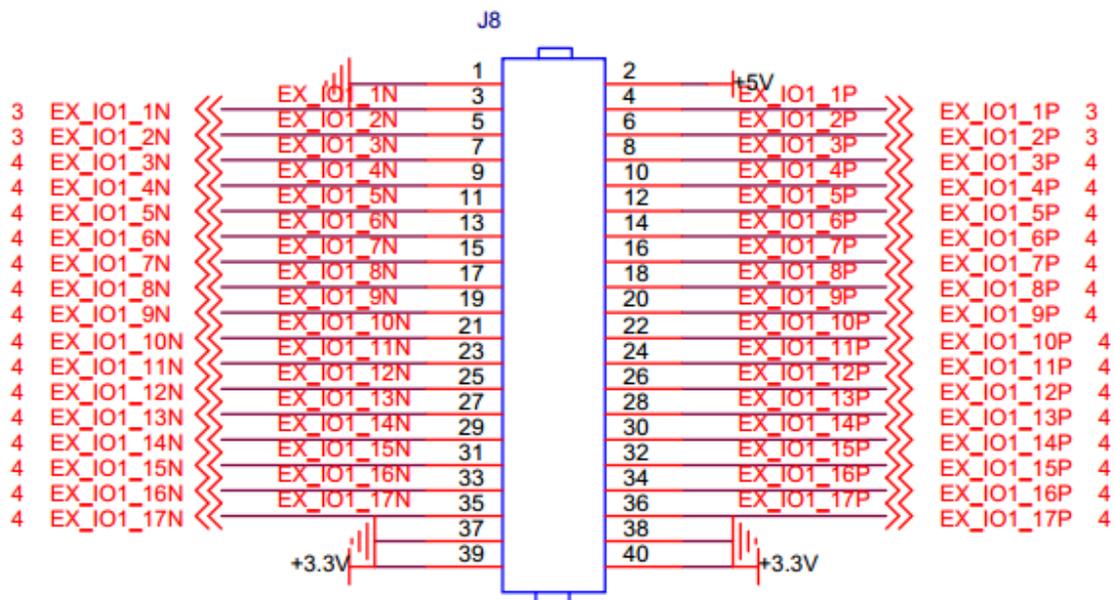
引脚名称	FPGA 引脚
------	---------

EEPROM_I2C_SCL	B6
EEPROM_I2C_SDA	A10

(十五) 扩展口

扩展板预留 2 个 2.54mm 标准间距的 40 针的扩展口 J8 和 J9，用于连接各个模块或者用户自己设计的外面电路，扩展口有 40 个信号，其中，5V 电源 1 路，3.3V 电源 2 路，地 3 路，IO 口 34 路，其中 J9 扩展口的 3.3V 电源 2 路可在需要是通过 R75 跳接到 2.5V，默认连接 3.3V。**切勿 IO 直接跟 5V 设备直接连接，以免烧坏 FPGA。如果要接 5V 设备，需要接电平转换芯片。**

扩展口的电路如下图 2-15-1 所示



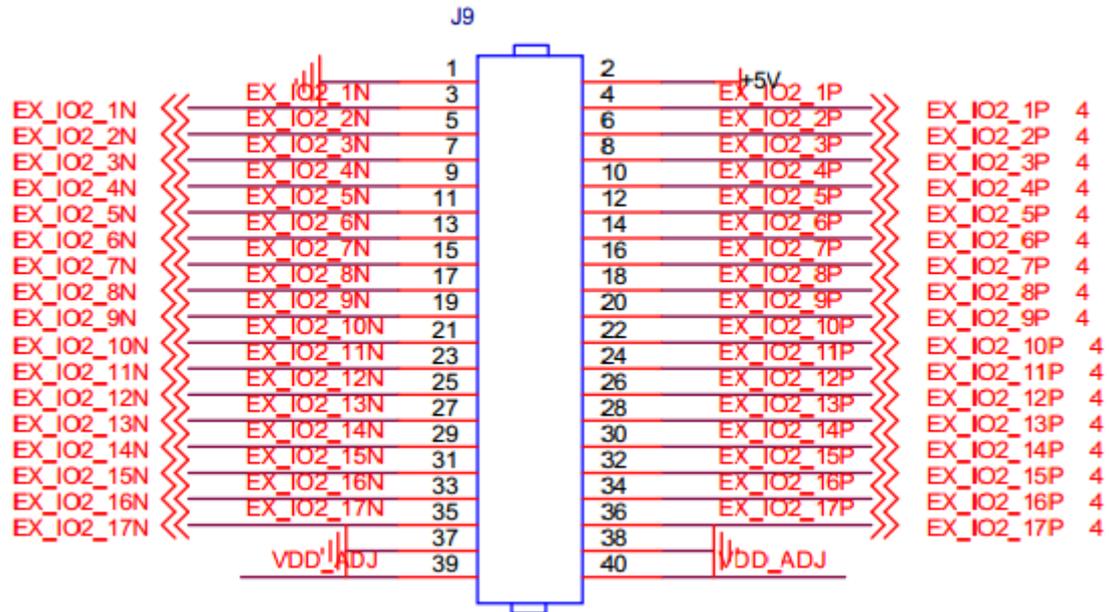


图 2-15-1 扩展口原理图

下图为扩展口实物图，扩展口的 Pin1，Pin2 已经在板上标示出。

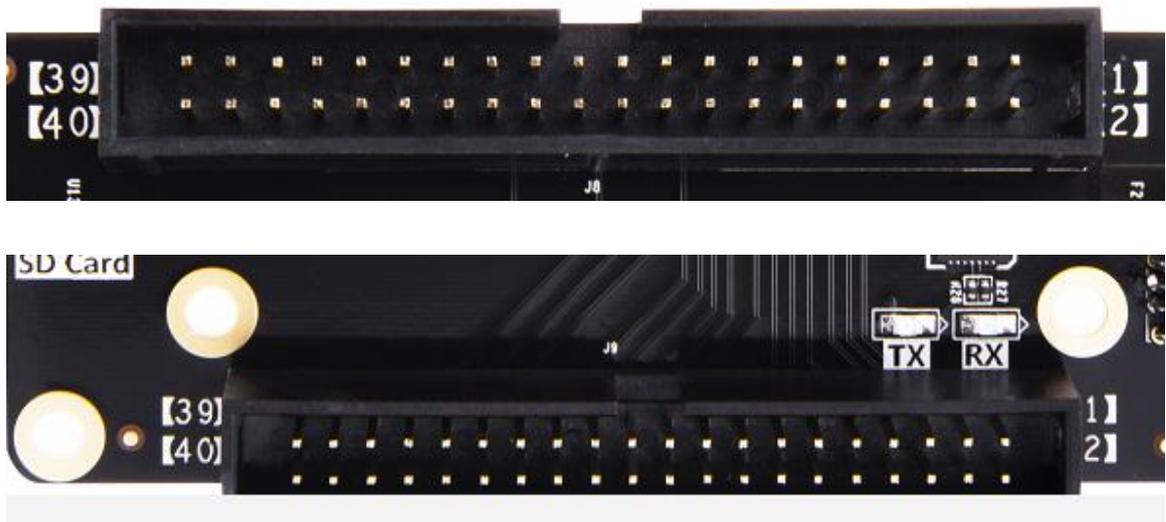


图 2-15-2 扩展口实物图

J8 扩展口 FPGA 的引脚分配

引脚编号	FPGA 引脚	引脚编号	FPGA 引脚
1	GND	2	+5V
3	J13	4	J14
5	H14	6	H13
7	G10	8	G11
9	E13	10	F13

11	C13	12	D13
13	A13	14	B13
15	A16	16	B16
17	C11	18	D11
19	A11	20	B11
21	F10	22	E10
23	A9	24	B9
25	A5	26	B5
27	A4	28	B4
29	A2	30	B2
31	A1	32	B1
33	H6	34	G6
35	G5	36	F5
37	GND	38	GND
39	+3.3V	40	+3.3V

J9 扩展口 FPGA 的引脚分配

引脚编号	FPGA 引脚	引脚编号	FPGA 引脚
1	GND	2	+5V
3	J15	4	J16
5	K15	6	K16
7	L16	8	L15
9	M15	10	M16
11	P13	12	N13
13	N15	14	N16
15	P15	16	P16
17	R16	18	R15
19	T15	20	T16
21	T14	22	R14
23	T13	24	R13
25	T12	26	R12
27	N11	28	N12

29	T11	30	R11
31	T10	32	R10
33	T9	34	R9
35	K12	36	K11
37	GND	38	GND
39	V_ADJ	40	V_ADJ

(十六) 摄像头接口

开发板包含了一个 18 针的 CMOS 摄像头接口，用于连接 OV5640 摄像头模块，可以实现视频采集功能，采集以后，可以通过 HDMI 或者 VGA 接口连接显示器进行显示。关于摄像头选择，用户可以根据自己实际需要进行选购，但接口不接摄像头的时候，可以作为 FPGA 普通 IO 口使用。



图 2-16-1 CMOS 摄像头接口原理图

下图为扩展板上摄像头接口实物图，

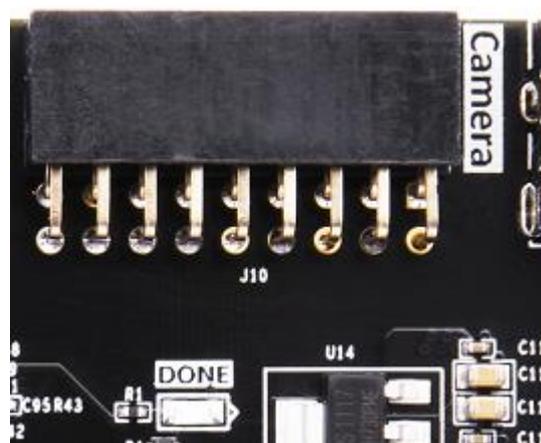


图 2-16-2 CMOS 摄像头接口实物图

下表为连接 500 万 CMOS 摄像头(AN5640 模组)的 FPGA 引脚分配：

引脚名称	FPGA 引脚
CMOS_D0	C15
CMOS_D1	A12
CMOS_D2	G16
CMOS_D3	G15
CMOS_D4	C16
CMOS_D5	B12
CMOS_D6	F16
CMOS_D7	F15
CMOS_HREF	E16
CMOS_PCLK	B15
CMOS_SCL	C10
CMOS_SDA	H15
CMOS_VSYNC	H16
CMOS_XCLK	E15
CMOS_RESET	-
CMOS_PWDN	-

(十七) 蜂鸣器

蜂鸣器不多解释了，我们在设计的时候，通过一个三极管进行控制，当低电平时，三极管导通，蜂鸣器响；当高电平，三极管截止，蜂鸣器不响；**J12 为跳线帽**。原理图如图：

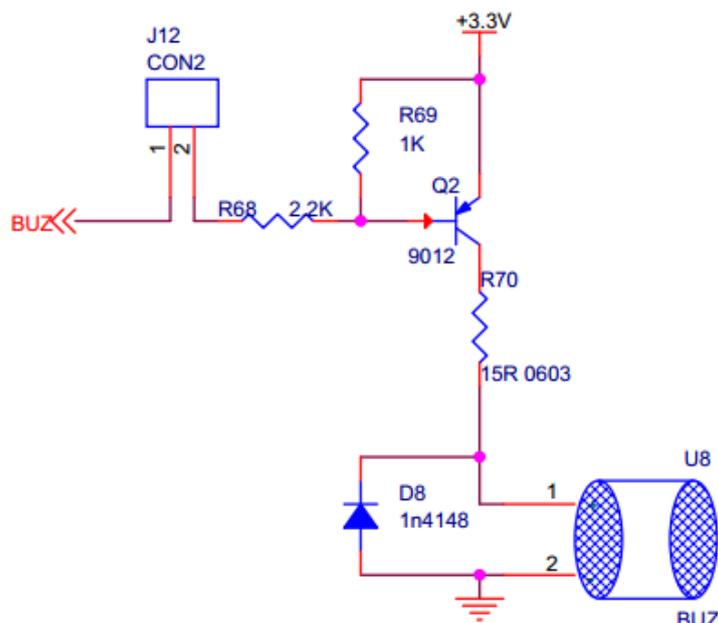


图 2-17-1 蜂鸣器原理图

图 2-17-2 为蜂鸣器实物图，黄色为连接蜂鸣器和 FPGA 引脚的跳帽，如果不希望蜂鸣器响，拔掉即可。

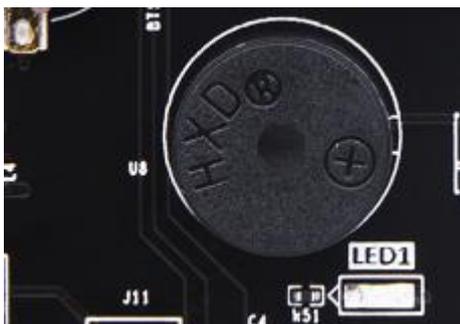


图 16.2 蜂鸣器原理图

蜂鸣器引脚分配：

引脚名称	FPGA 引脚
BUZZER	J6

(十八) AD 接口

如图 2-18-1 所示，J11 的 PIN3、PIN4 与 FPGA 芯片 PGL12G 内部 AD 管脚 VA0 和 VA1 直接相连，用户可以通过 J11 的这两个管脚施加需要采集的模拟信号，最大的采集电压单端小于 1.2V，**否则容易损坏 FPGA 芯片**，具体参考 FPGA 的 ADC 官方文档。U13 为旋钮电位器，提供 0~+1.1V 可调节电压用于内部 AD 测试，原理图如图：

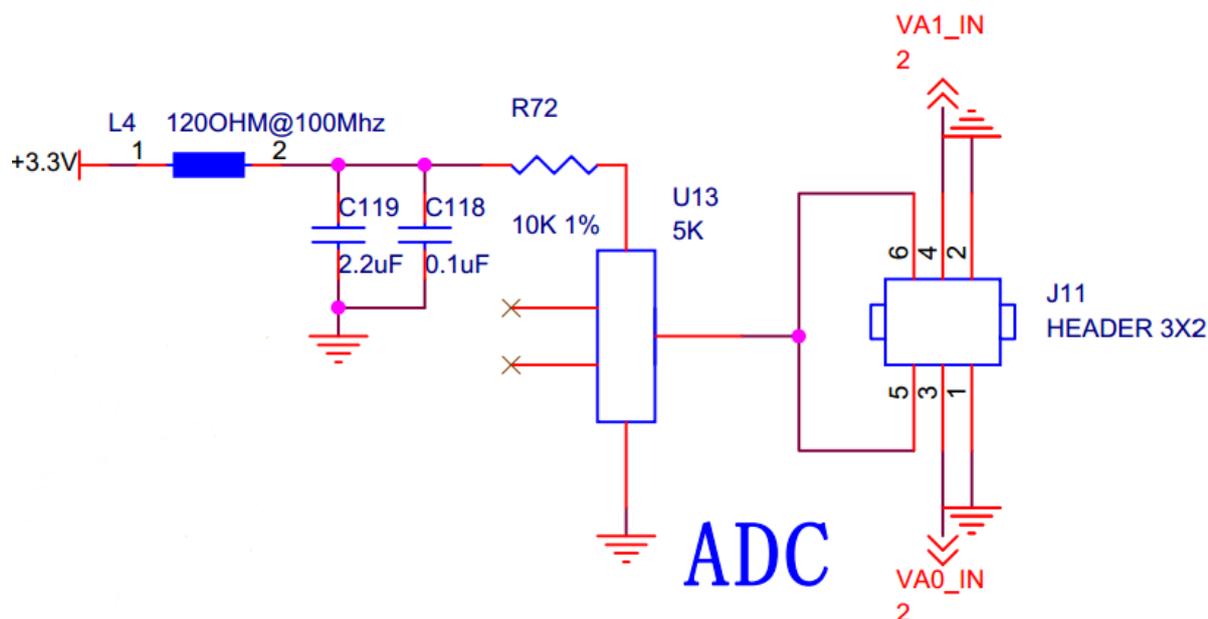


图 2-18-1 AD 接口原理图

图 2-18-2 为 AD 接口实物图，跳帽通过 J11 跳接不同位置选择 AD 的采集电压供内部 AD 测试，外部信号输入时，拔掉即可。

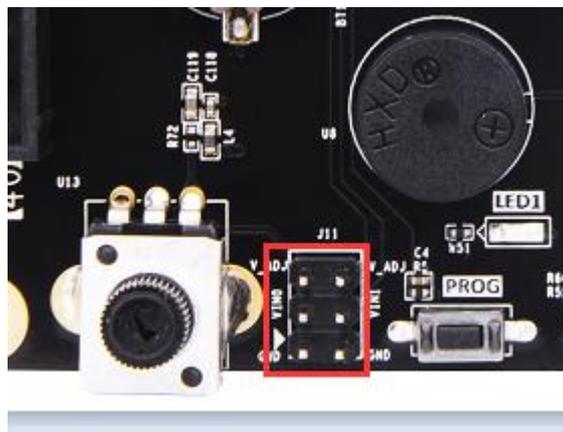


图 2-18-2 AD 接口实物

(十九) 供电电源

开发板的电源输入电压为+5V，注意开发板使用专用的 USB 接口电源线供电，一端接+5V 输出的 USB 接口 (电脑 USB 或 5V1A 以上 USB 充电器输出)，另一端接入按下图 2-19-1 连接。板上有 3 路电源，2 路 DC/DC 电源芯片 MP1482 把+5V 电压转化成 +3.3V 和+1.1V 电源。+3.3V 给外设及 FPGA 的 BANK 电压供电，+1.1V 给 FPGA 内核供电；1 路 LDO 电源芯片把+5V 电压转化成+2.5V 电源，用于提供可变的 BANK 电压电源。电源设计如下图 2-19-2 所示：

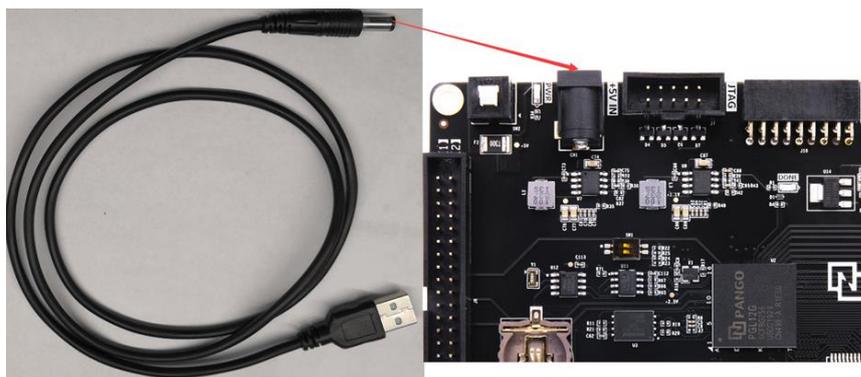
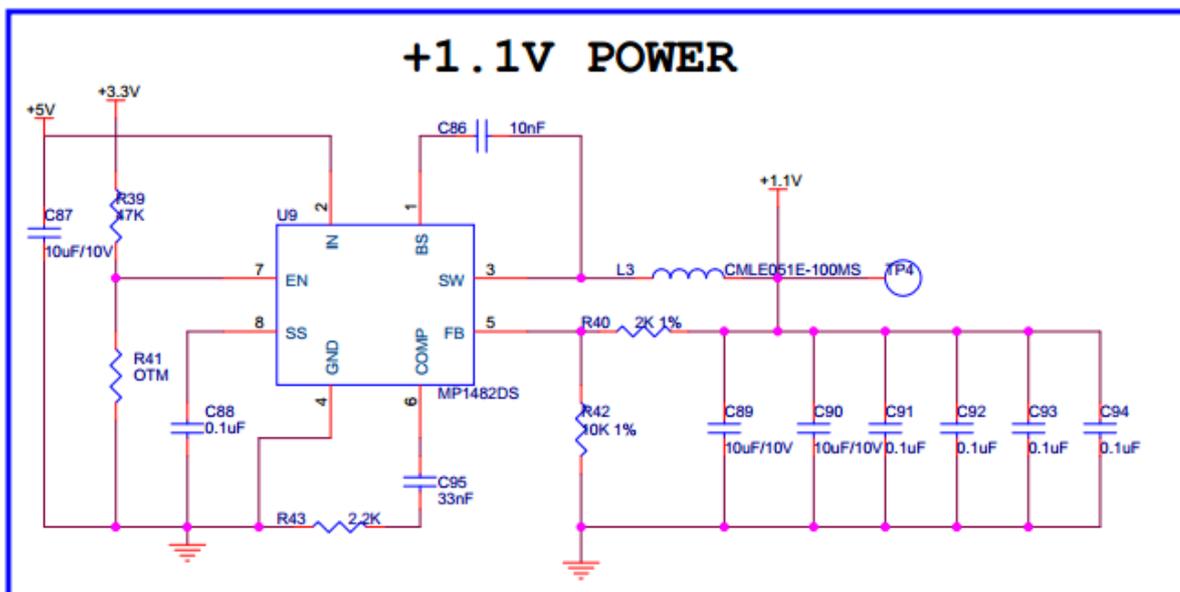
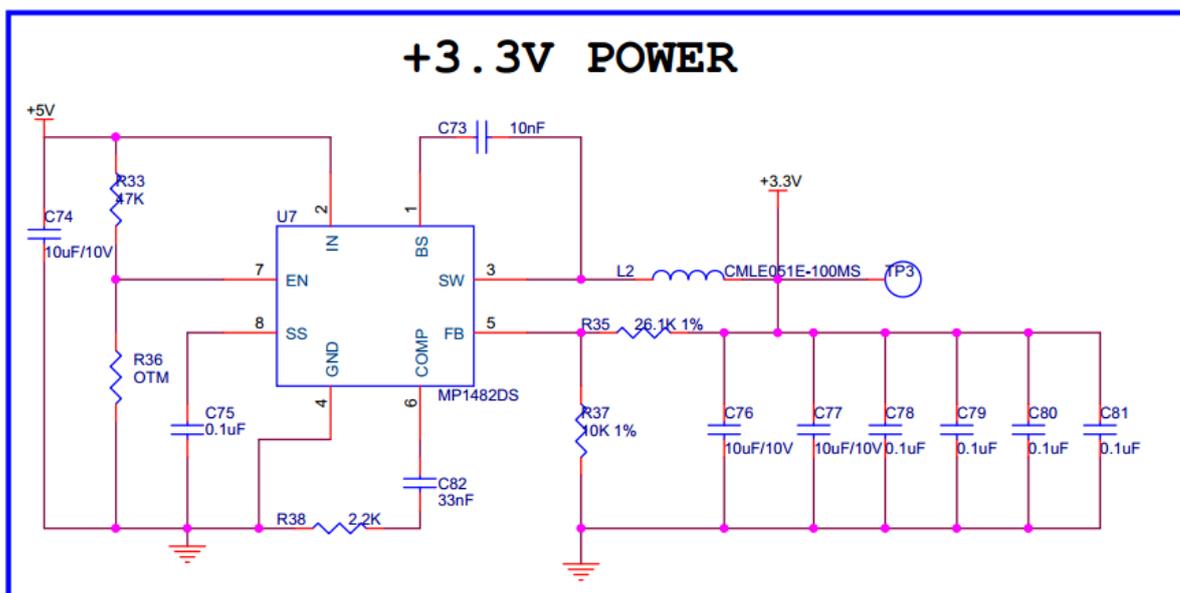


图 2-19-1 电源连接



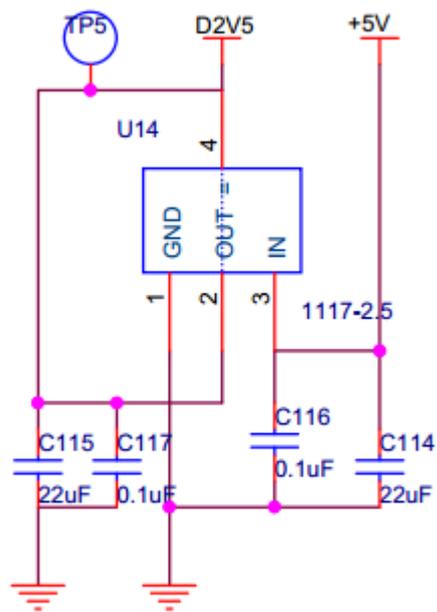


图 2-19-2 扩展板电源原理图

图 2-19-3 为扩展板上电源电路的实物图

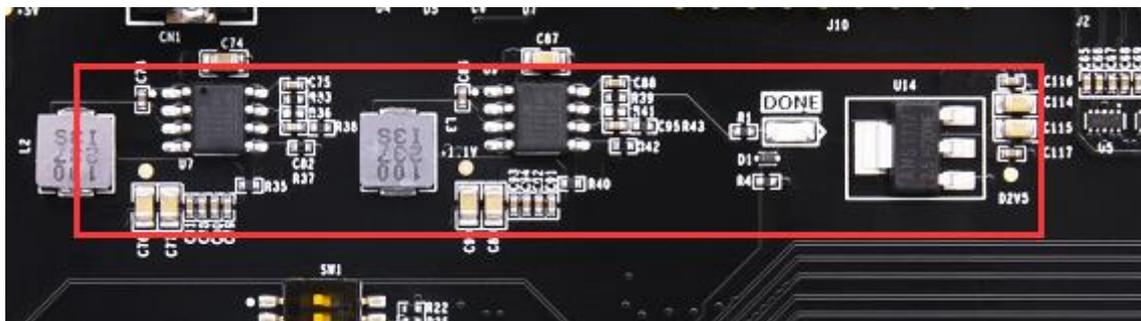


图 2-19-3 扩展板电源电路实物图

(二十) 结构图

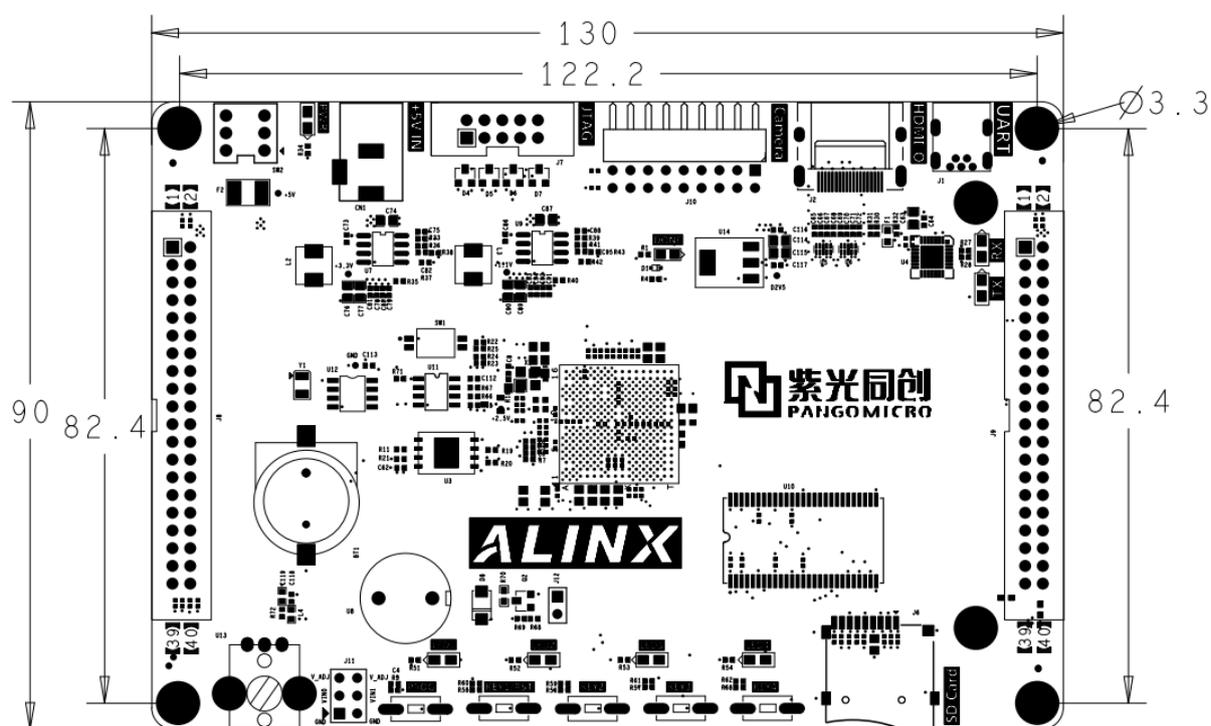


图 2-20-1 底板结构正面图 (Top View 单位 : mm)